

Beschreibung

Elektrische Diagnoseschaltung sowie Verfahren zum Testen und/oder zur Diagnose einer integrierten Schaltung

5

Die Erfindung betrifft eine elektrische Diagnoseschaltung sowie ein Verfahren zum Testen und/oder zur Diagnose einer integrierten Schaltung.

- 10 Bedingt durch den hohen Integrationsgrad gängiger sequenzieller Schaltungen erfordern der Test und die Diagnose solcher Schaltungen einen hohen Aufwand. Beim Test elektronischer Schaltungen werden üblicherweise Testpattern an die Eingangskontakte der zu testenden Schaltungen angelegt und die Test-
- 15 antworten der Schaltungen ausgewertet.

- Dabei ist es denkbar, die Testantworten der zu testenden Schaltungen in einem Multiinputsignaturregister zu einer Signatur zusammenzufassen bzw. zu kompaktieren. Die derart erhaltene Signatur wird in dem beim Test solcher integrierter Schaltungen zum Einsatz kommenden Testern mit bspw. mittels einer Simulation vorher ermittelten fehlerfreien Signatur verglichen. Wenn die beiden Signaturen übereinstimmen, so ist die integrierte Schaltung fehlerfrei. Sind die beiden Signaturen
- 20 unterschiedlich, so ist die getestete Schaltung fehlerhaft.
- 25

- Falls eine integrierte Schaltung bei einem solchen Test als fehlerhaft identifiziert wird, so ist es aufwändig und zeitraubend, die fehlerhafte Speicherzellen bzw. die fehlerhaften Elemente dieser integrierten Schaltung genau zu lokalisieren. Zum Identifizieren der fehlerhaften Speicherzellen bzw. des fehlerhaften Schaltungselements müssen daher anschließend an
- 30

solche zusammenfassenden Testverfahren oft zeitaufwändige und kostenintensive 100%-Tests durch Diagnose durchgeführt werden.

Es ist daher Aufgabe der Erfindung, eine elektrische Diagnose-
5 schaltung sowie ein Verfahren zum Testen und zur Diagnose einer integrierten Schaltung anzugeben, mit der bzw. mit dem fehlerhaft ausgegebene Daten der zu diagnostizierenden Schaltung sicher bemerkt sowie schnell und präzise lokalisiert werden können.

10

Diese Aufgabe wird mit dem Gegenstand der unabhängigen Patentansprüche gelöst. Vorteilhafte Ausgestaltungen ergeben sich aus den jeweiligen Unteransprüchen.

15 Die Erfindung betrifft eine elektrische Diagnoseschaltung zum Testen und/oder zur Diagnose einer integrierten Schaltung. Diese elektrische Diagnoseschaltung wird im folgenden auch als Kompaktor bezeichnet.

20 Dieser Kompaktor kann auf allen möglichen Schaltungen oder Geräten in jeder Abstraktionsebene bzw. auf jeder Messgeräteebene vorgesehen werden. Insbesondere ist es möglich, diesen Kompaktor auf der eigentlichen zu testenden und/oder zu diagnostizierenden integrierten Schaltung auszubilden, wodurch ein
25 sogenannter Built-In Self Test der integrierten Schaltung möglich wird.

Der Kompaktor umfasst mehrere externe Eingänge zum Empfang von digitalen Ausgangswerten einer zu testenden oder zu diagnostizierenden integrierten Schaltung. Diese Ausgangswerte werden
30 im folgenden auch als Testsignale oder als Testdaten bezeichnet. Die externen Eingänge des Kompaktors können direkt an

entsprechenden digitalen Ausgängen von Scanpfaden einer solchen integrierten Schaltung anliegen.

Des weiteren umfasst die erfindungsgemäße elektrische Diagnoseschaltung mehrere im wesentlichen gleichartige, hintereinander angeordnete Schalteinheiten. Jede dieser Schalteinheiten ist mit jeweils einem externen Eingang verbunden und kann Testsignale einer integrierten Schaltung empfangen.

10 Ferner umfasst jede Schalteinheit jeweils einen internen Eingang für ein Eingangssignal einer davor angeordneten Schalteinheit und/oder für ein rückgekoppeltes Signal, das insbesondere von einer nachgeordneten Schalteinheit auf diesen internen Eingang zurückgeführt wird.

15

Die Schalteinheiten können durch ein Steuersignal derart angesteuert werden, dass ein am internen Eingang anliegendes Eingangssignal entweder unverändert an den internen Eingang der jeweils dahinter angeordneten Schalteinheit weitergeleitet

20 wird und/oder unverändert auf einen internen Eingang einer davor angeordneten Schalteinheit rückgekoppelt wird, oder aber mit dem jeweils am externen Eingang anliegenden Testsignal verknüpft und der aus dieser Verknüpfung ermittelte Verknüpfungswert an den internen Eingang der jeweils dahinter angeordneten Schalteinheit weitergeleitet und/oder an den internen
25 Eingang einer davor angeordneten Schalteinheit rückgekoppelt wird.

Der Kompaktor verfügt auch über einen Schaltungsausgang zur
30 Ausgabe eines digitalen Ausgabewerts.

Mehrere gemäß der Erfindung hintereinandergeschaltete Schalteinheiten bilden ein Schieberegister. Ein Schieberegister, bei dem Ausgabewerte sowohl an den Anfang des Schieberegisters als auch zwischen einzelne Schalteinheiten des Schieberegisters rückgekoppelt werden, können auch als Schieberegister erster Art bezeichnet werden. Schieberegister, bei denen die Rückkopplung immer an den Anfang des Schieberegisters erfolgt, werden auch als Schieberegister zweiter Art bezeichnet. Dabei ist es möglich, dass nicht nur die Ausgabewerte des Schieberegisters, sondern auch jeweils zwischen den einzelnen Schalteinheiten liegende Werte an den Anfang rückgekoppelt werden.

Gemäß einem Grundgedanken der Erfindung können die einzelnen Schalteinheiten selektiv derart angesteuert werden, dass die an den jeweiligen externen Eingängen anliegenden Testsignale der zu testenden und/oder zu diagnostizierenden elektrischen Schaltung von den Schalteinheiten verarbeitet oder auch wahlweise ausgeblendet und nicht berücksichtigt werden. Dabei ist es bei dem erfindungsgemäßen Kompaktor nicht vorgesehen, an den externen Eingängen anliegende Testsignale durch feste Werte, bspw. durch den Wert Null zu ersetzen. Die an den externen Eingängen anliegenden Testsignale werden vielmehr selektiv ausgeblendet.

Falls auf wenigstens einem externen Eingang wenigstens ein fehlerhaftes Testsignal durch den nachfolgenden Tester festgestellt wird, so kann die fehlerhafte Scanzelle bzw. die fehlerhafte Speicherzelle oder das fehlerhafte Element der getesteten integrierten Schaltung nämlich durch eine geeignete Abfolge von Testläufen, bei denen einzelne Testsignale selektiv vom Kompaktor nicht erfasst werden, genau bestimmt werden.

Erfindungsgemäß werden die auf den Scanpfaden parallel ausgegebenen Testsignale als Informationsbits eines linearen fehlerkorrigierenden Codes betrachtet. Durch selektives Ausblenden von Scanpfaden werden die k Kontrollbits eines fehlerkorrigierenden Codes bei der Diagnose in k Durchläufen am Ausgang des nicht rückgekoppelten Kompaktors ausgegeben. Dadurch können die fehlerhaften Scanzellen genau bestimmt werden. Durch die Fähigkeit, mittels der Kontrollbits eine bestimmte Anzahl von Fehlern in einem Datenbereich korrigieren zu können, können diese Fehler auch genau lokalisiert werden.

Wird in einer vorteilhaften Weiterbildung der Erfindung für jeden der k Durchläufe nur die Signatur des Kompaktors und nicht sein Ausgang betrachtet, so lassen sich die fehlerhaften Scanpfade diagnostizieren. Die Anzahl der Kontrollbits wächst logarithmisch mit der Anzahl der Scanpfade. Die Anzahl der Kontrollbits ist im Sinne der dem Fachmann bekannten Codierungstheorie optimal.

In einer ersten Ausführungsform des Kompaktors umfasst jede Schalteinheit je ein Gatter, insbesondere ein exklusives Oder-Gatter, je einen Multiplexer und je eine Speichereinheit. Dabei führt jeder externe Eingang auf je einen Eingang des exklusiven Oder-Gatters.

Jeder interne Eingang der Schalteinheit führt auf einen ersten Eingang des Multiplexers und parallel dazu auf einen zweiten Eingang des exklusiven Oder-Gatters. Der Ausgang des exklusiven Oder-Gatters ist mit dem zweiten Eingang des Multiplexers verbunden. Der erste Eingang des Multiplexers wird hier als Nulleingang und der zweite Eingang des Multiplexers als der Eins-Eingang gewählt. Der Ausgang des Multiplexers steht mit

einem Eingang des Speicherelements in Verbindung. Der Ausgang des Speicherelements stellt auch den Ausgang der Schalteinheit dar.

- 5 Ein solcher Kompaktor ermöglicht eine interne Ansteuerung derjenigen Werte, die im jeweils nächsten Taktzyklus von den Speicherelementen gelesen werden sollen. Durch das Vorsehen von Multiplexern ergibt sich für die Speicherelemente die Möglichkeit, entweder den Wert des vorhergehenden Speicherelements oder denjenigen Wert zu speichern, der sich aus der exklusiven Oder-Verknüpfung des Werts des davor angeordneten Speicherelements und des am jeweils zugeordneten externen Eingang anliegenden Testsignals ergibt. Bei dieser Ausführungsform des Kompaktors handelt es sich um eine besonders zuverlässig arbeitende und günstig herzustellende Variante.

Die Selektion, welche Testsignale welcher externer Eingänge des Kompaktors einer exklusiv Oder-Verknüpfung unterzogen werden sollen und für welche Testsignale welcher Eingänge eine solche Oder-Verknüpfung unterbleiben soll, kann dadurch erfolgen, dass der interne Eingang der Schalteinheit in Abhängigkeit des Steuersignals über den ersten Eingang des Multiplexers oder über das exklusive Oder-Gatter und den zweiten Eingang des Multiplexers mit dem Eingang des Speicherelements der Schalteinheit verbunden wird. Solche selektiven Verknüpfungen und Ausblendungen können mittels steuerbarer Multiplexer besonders vorteilhaft realisiert werden.

Gemäß einer weiteren Ausführungsform der Erfindung umfasst der Kompaktor auch eine steuerbare Rückkopplungseinheit, die mit dem Schaltungsausgang verbunden ist und mit welcher der Ausgabewert auf wenigstens einen internen Eingang einer Schaltein-

heit rückgekoppelt werden kann. Durch die Ansteuerbarkeit der Rückkopplungseinheit ist gewährleistet, dass die am Schaltungsausgang anliegenden Werte nur dann rückgekoppelt werden, wenn dies auch gewünscht ist. Ansonsten arbeitet der erfindungsgemäße Kompaktor wie ein normales nicht rückgekoppeltes Schieberegister. Durch das Ausstatten eines erfindungsgemäßen Kompaktors mit einer solchen steuerbaren Rückkopplungseinheit wird die Funktionalität erweitert.

- 10 Die Rückkopplungseinheit kann als steuerbares Gatter, insbesondere als steuerbares Und-Gatter ausgebildet sein und über einen Steuersignaleingang verfügen. Wenn an diesem Steuersignaleingang ein vorbestimmter Wert, insbesondere der Wert Eins anliegt, dann wird der Ausgabewert des Kompaktors auf einen
- 15 oder mehrere interne Eingänge der Schalteinheiten rückgekoppelt. Der erfindungsgemäße Kompaktor kann somit auch im Kompaktiermodus betrieben werden, in dem sich die Signatur des Kompaktors zuverlässig berechnen lässt.
- 20 Gemäß einer vorteilhaften Weiterbildung der Erfindung können die Schalteinheiten der elektrischen Diagnoseschaltung jeweils über wenigstens zwei, insbesondere hintereinander geschaltete Speichereinheiten verfügen. Der Ausgang der jeweils letzten Speichereinheit jeder Schalteinheit bildet dann auch den Aus-
- 25 gang der betreffenden Schalteinheit. Somit stehen noch mehr Speicherelemente zum temporären Abspeichern der Testsignale zur Verfügung.

Es ist auch vorteilhaft, wenn eine oder mehrere Speicherein-

30 heiten jeweils hintereinandergeschaltet direkt vor dem Kompaktorausgang oder auch zwischen einzelnen Schalteinheiten platziert werden.

Gemäß einer weiteren Ausführungsform der Erfindung verfügt die Rückkopplungseinheit auch über ein exklusives Oder-Gatter, dessen Eingänge von Rückkopplungsleitungen gebildet werden, die jeweils nach wenigstens einer Schalteinheit abzweigen. Der Ausgang des exklusiven Oder-Gatters ist dabei auf einen Eingang des steuerbaren Gatters geführt. Diese vorteilhafte Ausführung des erfindungsgemäßen Kompaktors bildet ein Schieberegister zweiter Art. Dabei können Werte von mehreren Schalteinheiten verknüpft und an den Anfang des erfindungsgemäßen Kompaktors rückgekoppelt werden.

Wenn die Rückkopplungseinheit zusätzlich ein weiteres steuerbares Gatter aufweist, dessen Eingänge von einem weiteren Steuersignaleingang und vom Ausgang der letzten Schalteinheit des Kompaktors gebildet werden und dessen Ausgang den Kompaktorausgang bildet, ist es möglich, unbestimmte Werte bzw. X-Werte korrekt zu behandeln. Solche X-Werte kommen nämlich beim Test integrierter Schaltungen oft vor und lassen sich nicht vorhersagen. Durch das Vorsehen des weiteren steuerbaren Gatters wird zuverlässig vermieden, dass bei Auftreten solcher X-Werte der Zustand und die Signatur des Kompaktors unbestimmt wird und somit keine verlässliche Aussage über die Funktionsfähigkeit der getesteten bzw. diagnostizierten integrierten Schaltung mehr möglich ist. Solche unbestimmten Werte werden nämlich durch das weitere steuerbare Gatter auf einen bestimmten Wert gesetzt, wodurch erreicht wird, dass der Zustand des Kompaktors und auch die Ausgabewerte des Kompaktors vorhersagbar bleiben.

30

Das weitere steuerbare Gatter kann dabei als steuerbares Und-Gatter, als steuerbares Oder-Gatter, als steuerbares NAND-

Gatter oder als steuerbares NOR-Gatter ausgebildet werden. Bei einem steuerbaren Und-Gatter ist im Falle des Auftretens eines X-Werts der Wert des Steuersignals auf Null, bei einem steuerbaren Oder-Gatter der Wert auf Eins zu setzen.

5

Bei Schieberegistern zweiter Art können zwischen jeweils nacheinander angeordneten Schalteinheiten weitere Gatter, insbesondere weitere exklusive Oder-Gatter liegen. Der jeweils am Schaltungsausgang anliegende Ausgabewert kann auf dieses weitere Gatter bzw. auf diese weiteren Gatter geführt werden, wodurch eine Rückkopplung gemäß dem Schieberegister erster Art erreicht werden kann. Mit einem derart aufgebauten Kompaktor können fehlerhafte Scanzellen schnell und zuverlässig bestimmt werden.

15

Gemäß einer Variante des erfindungsgemäßen Kompaktors kann die erste Schalteinheit abweichend von den übrigen, bereits beschriebenen Speichereinheiten ausgebildet sein und lediglich ein Und-Gatter sowie eine Speichereinheit umfassen. Dabei sind der erste externe Eingang auf den ersten Eingang des Und-Gatters, eine Steuerleitung auf den zweiten Eingang des Und-Gatters und der Ausgang des Und-Gatters auf die Speichereinheit geführt. Der Ausgang der Speichereinheit bildet den Ausgang der ersten Schalteinheit. Die übrigen Schalteinheiten des Kompaktors liegen bei dieser Variante in einer der bereits beschriebenen Ausführungsformen vor. Mit einem derart ausgestalteten erfindungsgemäßen Kompaktor lassen sich integrierte Schaltungen zuverlässig testen.

30 In einer weiteren Ausführungsform der Erfindung ist der Ausgang der letzten Schalteinheit mit einem linear rückgekoppelten Schieberegister verbunden. Das linear rückgekoppelte

Schieberegister beinhaltet ein exklusives Oder-Gatter, mehrere nacheinander geschaltete Speicherelemente und wenigstens eine nach einem Speicherelement abzweigende Rückkopplungsleitung, die auf jeweils einen Eingang des exklusiven Oder-Gatters führt/führen. Das erste Speicherelement ist mit dem Ausgang des exklusiven Oder-Gatters verbunden. Mit einem Kompaktor, der ein derartiges Schieberegister aufweist, können integrierte Schaltungen ebenfalls zuverlässig getestet werden.

10 Gemäß einer vorteilhaften Weiterbildung weist der Kompaktor zu seiner Steuerung an seinen Eingängen eine Auswahl-schaltung auf.

Die Erfindung betrifft auch eine zu testenden und/oder zu diagnostizierende integrierten Schaltung, auf der ein Kompaktor in einer der vorstehend beschriebenen Ausführungsformen, insbesondere zusätzlich zur normalen Schaltung quasi als add-on enthalten ist. Dabei ist der Kompaktor auf dem integrierten Schaltkreis oder auf dem Halbleiterbauteil monolithisch integriert.

Die Erfindung betrifft auch eine Nadelkarte zum Testen von integrierten Schaltungen, bei der ein Kompaktor in einer der vorstehend beschriebenen Ausführungsformen integriert ist.

Die Erfindung betrifft weiterhin ein testerspezifisches load board mit Testfassungen zum Einstecken von integrierten Schaltungen oder zur Aufnahme einer solchen Nadelkarte oder zum Anschluss eines handlers, wobei auf dem load board wenigstens ein Kompaktor in einer der vorstehend beschriebenen Ausführungsformen integriert ist. Ein solches load board kann auch als Adapterboard bezeichnet werden.

Die Erfindung betrifft ferner ein Messgerät bzw. einen Tester mit Mess-Sensoren, bspw. für Ströme und für Spannungen und mit Instrumenten zur Erzeugen von digitalen Signalen oder Datenströmen. Dabei ist auf dem Messgerät wenigstens ein Kompaktor in einer der vorstehend beschriebenen Ausführungsformen enthalten.

Gemäß einem weiteren Grundgedanken der Erfindung kann der erfindungsgemäße Kompaktor in allen vorstehend beschriebenen Ausführungsformen einfach und sehr platzsparend auf allen möglichen Schaltungen oder Geräten in jeder Abstraktionsebene bzw. auf jeder Messgeräteebene vorgesehen werden. Beeinträchtigungen der Funktionsweise ergeben sich dabei nicht. Die konkrete Ausgestaltung der vorstehend beschriebenen Gegenstände mit einem solchen Kompaktor ergibt sich für den Fachmann vollständig und eindeutig aus den in dieser Patentschrift enthaltenen Informationen sowie aus seinem Fachwissen. Dabei ist lediglich zu beachten, dass der Kompaktor jeweils zusätzlich zu den auf den vorstehend genannten Gegenständen enthaltenen Schaltungen aufzubringen ist.

Die Erfindung betrifft des weiteren ein Verfahren zum Testen und/oder zum Diagnostizieren einer integrierten Schaltung.

In einem ersten Verfahrensschritt wird zunächst ein Kompaktor bereitgestellt, der n externe Eingänge zum Empfang von Testdaten n paralleler Datenströme einer zu testenden und/oder zu diagnostizierenden integrierten Schaltung aufweist und der in der Lage ist, aus den empfangenen Testdaten Signaturen zu erzeugen. Die an den n externen Eingängen anliegenden Testdaten

werden dabei über Schalteinheiten selektiv in die Erzeugung der Signaturen miteinbezogen oder nicht miteinbezogen.

5 Danach wird der Kompaktor mit der zu testenden und/oder zu diagnostizierenden integrierten Schaltung derart verbunden, dass die n Eingänge des Kompaktors an den n Ausgängen der Scanpfade der integrierten Schaltung anliegen.

10 Anschließend werden die Schalteinheiten mit einem Steuersignal beaufschlagt, so dass die an den internen Eingängen der Schalteinheiten anliegenden Eingangssignale mit den jeweils an den externen Eingängen anliegenden Testsignalen verknüpft werden und dass die jeweils aus diesen Verknüpfungen ermittelten Verknüpfungswerte an die internen Eingänge der jeweils dahinter angeordneten Schalteinheiten weitergeleitet werden.

20 Dann werden die Testsignale der Datenströme durch den Kompaktor in einen oder mehreren Testdurchläufen zu einer Signatur verarbeitet. Dabei werden mehrere aufeinanderfolgende Testdurchläufe durchgeführt, wobei in jedem Testdurchlauf eine neue Signatur erzeugt wird. Dabei werden die Testdaten der zu testenden und/oder zu diagnostizierenden integrierten Schaltung zu einem ein Bit breiten Datenstrom am Ausgang des Kompaktors verarbeitet, der auch als Ausgangssignatur bezeichnet wird.

30 Der Tester überprüft nun die Datenworte auf Korrektheit mittels Vergleich der durch den Kompaktor ermittelten Signaturen mit den im Tester abgelegten oder durch den Tester bspw. durch Simulation erzeugten korrekten Signaturen. Dabei wird der im Tester gespeicherte oder im Tester ermittelte ein Bit breite

Datenstrom mit dem jeweils am Ausgang des Kompaktors anliegenden ein Bit breiten Datenstrom verglichen.

Falls der Tester ein oder mehrere fehlerhafte Signaturen feststellt, werden die folgenden Diagnoseschritte durchgeführt.
 5 Der Zeitpunkt, an dem mit der Durchführung dieser Diagnoseschritte begonnen wird, kann dabei unterschiedlich gewählt werden. Mit dem Ausführen der Diagnoseschritte kann sofort nach dem Feststellen einer einzigen fehlerhaften Signatur,
 10 nach dem Feststellen einer vorbestimmten Anzahl von fehlerhaften Signaturen oder erst nach Beendigung aller Testläufe begonnen werden.

Im Diagnosemodus werden k aufeinanderfolgende Testdurchläufe
 15 durchgeführt. Dabei werden nur jeweils diejenigen an dem Eingang E_i anliegenden Daten der n Datenströme im j-ten Durchlauf in die Kompaktierung in der elektrischen Diagnoseschaltung miteinbezogen, wenn der binäre Koeffizient $a_{i,j}$ der Gleichungen zur Bestimmung der Kontrollstellen eines linearen separierbaren fehlerkorrigierenden Kodes mit n Informationsstellen $u_1,$
 20 \dots, u_n und mit k Kontrollstellen v_1, \dots, v_k gleich Eins ist. Diejenigen an dem Eingang E_i anliegenden Daten der n Datenströme, bei denen der binäre Koeffizient $a_{i,j}$ den Wert Null annimmt, werden hingegen im j-ten Durchlauf nicht mit in die
 25 Kompaktierung einbezogen

Die k Kontrollstellen v_1, \dots, v_k sind dabei durch die k binären Gleichungen

$$30 \quad v_1 = a_{1,1}u_1 \oplus \dots \oplus a_{1,n}u_n$$

$$v_k = a_{k,1}u_1 \oplus \dots \oplus a_{k,n}u_n$$

aus den n Informationsstellen bestimmt. Aus diesen Angaben ist
5 es für einen Fachmann ohne weiteres möglich, die Informations-
stellen u_1, \dots, u_n und die Kontrollstellen v_1, \dots, v_k aus den
Testdaten und aus den Signaturen zu ermitteln.

Aus den Kontrollstellen (v_k) und aus den Informationsstellen
10 (u_n) kann der Fachmann dann die fehlerhaften Elemente, insbe-
sondere die fehlerhaften Werte und die korrekten Werte der
fehlerhaften Zellen der integrierten Schaltung bestimmen.

Durch das erfindungsgemäße Verfahren können die fehlerhaft
15 ausgegebenen Testsignale der diagnostizierten Schaltung anhand
der Signaturen unter Verwendung von Informations- und Kon-
trollstellen lokalisiert werden. Das erfindungsgemäße Verfah-
ren eignet sich allgemein für den Schaltungstest mittels pa-
rallelen Datenströmen und kann besonders gut bei integrierten
20 Schaltungen mit Scanpfaden angewandt werden.

Erfindungsgemäß können diejenigen Zellen und Scanzellen der
integrierten Schaltung, in denen fehlerhafte Testsignale wäh-
rend des Tests aufgetreten sind, anhand der kompaktierten Da-
25 ten genau und schnell lokalisiert werden. Diese Bestimmung der
fehlerhaften Zellen erfolgt durch Vergleich der nach der obi-
gen Vorschrift erzeugten Kontrollstellen mit Kontrollbits, die
im Tester abgelegt sind oder die im Tester durch Simulation
ermittelt werden. Bei einem solchen Vergleich wird das Syndrom
30 erzeugt, aus dem sich die fehlerhafte Informationsstelle ein-
deutig bestimmen lässt. Das erfindungsgemäße Verfahren ist an
die zu erwartende Häufigkeit und an die zu erwartende Vertei-

lung von Fehlern flexibel anpassbar. Durch das erfindungsgemäße Verfahren kann eine fertigungsbegleitende 100%-Diagnose durchgeführt werden, die deutlich bessere Ergebnisse als stichprobenartige Überprüfungen liefert. Der Aufwand, die Geschwindigkeit und die Kosten für eine derartige Überprüfung werden beim Einsatz des erfindungsgemäßen Verfahrens optimiert.

Ein weiterer Vorteil des erfindungsgemäßen Verfahren liegt in der Reduktion des zur Bestimmung der ausfallenden Elemente oder Scanelemente nötigen Datenvolumens, und zwar sowohl in der Reduktion der für die zu testende integrierte Schaltung aufzuzeichnenden Daten als auch in der Reduktion der für die Fehlerlokalisierung abzuspeichernden Designdaten der integrierten Schaltung. Besonders vorteilhaft ist es auch, dass das erfindungsgemäße Verfahren fehlerunabhängig ist, d. h., dass keine individuellen Einstellungen nötig sind, um einen bestimmten Fehler rückrechnen zu können.

Das Verfahren erreicht seine höchste Leistungsfähigkeit, wenn in einem bestimmten Testbereich eine hohe Anzahl von Fehlern zu bestimmen ist, zumal das Verfahren ohne Zusatzaufwand alle Fehler in einem Intervall berechnet. Bei Paralleltests mit sehr hohem Parallelitätsgrad können alle integrierten Schaltungen gleich behandelt und damit gleichzeitig diagnostiziert werden.

Dieser Fall ist beim Test von integrierten Schaltungen mittels Scanpfaden für die ersten n Testvektoren gegeben. In der praktischen Anwendung des erfindungsgemäßen Verfahrens konnte bestätigt werden, dass eine hohe Anzahl von integrierten Schaltungen mit den Ausfällen aus den ersten n Testvektoren hinrei-

chend gut diagnostiziert werden konnte. Somit kann das erfindungsgemäße Verfahren für eine fertigungsbegleitende Datengenerierung zur Analyse von Ausfallursachen eingesetzt werden.

- 5 Dadurch, dass die zur Rückrechnung notwendigen designspezifischen Daten reduziert werden, kann auch der Einsatz von Online-Analyseprogrammen bzw. Online-Analysertools auf dem Tester, während der Evaluierungs- und Ramp-up-Phase erleichtert werden. Die notwendigen Daten können auch innerhalb des produktiven Testprogramms gehalten werden. Die Pflege eines speziellen
10 Analyseprogramms wird dadurch überflüssig.

- Das Verfahren kann auch auf ein Design angewendet werden, das mehrere Strukturen von Multiinputsignaturregistern enthält, da
15 die Rückkopplungen der Multiinputsignaturregister während der Diagnose aufgetrennt ist und so die einzelnen Multiinputsignaturregister zu einem großen Multiinputsignaturregister zusammengeschaltet werden können.

- 20 Bei dem erfindungsgemäßen Verfahren kann der Kompaktor, wie beschrieben, auf jeder Abstraktions- und Messgeräteebene ausgebildet sein und auf der zu testenden und/oder zu diagnostizierenden Schaltung selbst, auf der Nadelkarte, auf dem Loadboard oder auf dem Tester vorliegen. Dadurch ergibt sich eine
25 schnelle und sichere Verfahrensführung mit genauen Test- und Diagnoseergebnissen.

- Gemäß einer vorteilhaften Ausprägung des erfindungsgemäßen Verfahrens können die Schalteinheiten vor dem Erfassen und
30 Verarbeiten der Testdaten mit einem Steuersignal derart angesteuert werden, dass die an den internen Eingängen der Schalteinheiten anliegenden Eingangssignale mit den jeweils an den

externen Eingängen anliegenden Testdaten verknüpft werden und dass die jeweils aus diesen Verknüpfungen ermittelten Verknüpfungswerte an die internen Eingänge der jeweils dahinter angeordneten Schalteinheiten weitergeleitet werden. Dabei können
5 insbesondere alle Steuersignale $c_{i,j}$ der Multiplexer zu Eins gewählt werden. Dadurch ist gewährleistet, dass zunächst die tatsächlichen Signaturen der testenden und/oder zu diagnostizierenden Schaltung aus den Datenströmen ermittelt werden.

10 Falls der Kompaktor eine Rückkopplungseinheit aufweist, kann diese erfindungsgemäß so angesteuert werden, dass keine Werte rückgekoppelt werden.

Besonders vorteilhaft ist es, wenn der Verfahrensschritt des
15 Diagnosemodus wie folgt ausgeführt wird.

Durchführen von k aufeinanderfolgenden Test-Durchläufen, wobei bei jedem Durchlauf eine Kontrollstelle (v_k) nach der bereits angegebenen Vorschrift aus den Informationsstellen (u_n) be-
20 stimmt wird, solange bis alle Kontrollstellen (v_k) ermittelt worden sind. Die Koeffizienten $a_{i,j}$ nehmen dabei die Werte Null oder Eins an. Die Schalteinheiten der elektrischen Diagnose-schaltung werden so gesteuert, dass die im i -ten Durchlauf am j -ten externen Eingang (E_j) anliegenden Testdaten nur dann ei-
25 ner Verknüpfung in den Schalteinheiten unterzogen werden, wenn das Steuersignal $c_{i,j}$ den Wert Eins annimmt. Das Steuersignal $c_{i,j}$ nimmt den Wert Null an, wenn der zugehörige Koeffizient $a_{i,j}$ den Wert Null annimmt oder wenn ein unbestimmter Wert im Datenstrom ausgeblendet werden soll.

30

Der Verfahrensschritt des Diagnosemodus kann auch wie folgt ausgeführt werden.

Durchführen von k aufeinanderfolgenden Test-Durchläufen, wobei die Steuerung der Schalteinheiten der elektrischen Diagnoseschaltung entsprechend den binären Koeffizienten $a_{i,j}$ der Gleichungen zur Bestimmung der Kontrollstellen v_1, \dots, v_k eines linearen separierbaren fehlerkorrigierenden Codes mit n Informationsstellen u_1, \dots, u_n und mit k Kontrollstellen v_1, \dots, v_k so gesteuert werden, dass die im i -ten Durchlauf am j -ten externen Eingang (E_j) anliegenden Testdaten nur dann einer Verknüpfung in den Schalteinheiten der elektrischen Diagnoseschaltung unterzogen werden, wenn das binäre Steuersignal $c_{i,j}$, den Wert Eins annimmt.

In einer vorteilhaften Weiterbildung des erfindungsgemäßen Verfahrens werden die Multiplexer der Schalteinheiten durch die Steuersignale gesteuert.

Das erfindungsgemäße Verfahren kann auch zum Test und/oder zur Diagnose von bestückten Leiterkarten oder von Platinen verwendet werden. Dabei ergeben sich im wesentlichen diejenigen Vorteile, die sich auch beim Test und/oder bei der Diagnose von integrierten Schaltungen ergeben.

Die Erfindung wird auch in einem Computerprogramm zum Ausführen des Verfahrens zum Testen und/oder zum Diagnostizieren einer integrierten Schaltung verwirklicht. Das Computerprogramm enthält dabei Programmanweisungen, die ein Computersystem veranlassen, ein solches Verfahren in einer vorstehend beschriebenen Ausführungsform auszuführen. Dabei werden insbesondere die Verfahrensschritte beginnend mit dem Steuern der Schalteinheiten oder beginnend mit dem Steuern der Rückkopplungseinheit mit einem Computersystem gesteuert oder auf einem Compu-

tersystem selbst durchgeführt. Das Computerprogramm gibt als Ergebnis die fehlerhaften Zellen oder Scanzellen der getesteten und diagnostizierten integrierten Schaltung auf einer Ausgabeeinheit aus, insbesondere auf einem Bildschirm oder auf einem Drucker. Sind durch das erfindungsgemäße Computerprogramm keine Fehler bei der diagnostizierten integrierten Schaltung festgestellt worden, so wird eine Mitteilung über die volle Funktionstüchtigkeit der integrierten Schaltung ausgegeben.

10

Durch das erfindungsgemäße Computerprogramm können integrierte Schaltung schnell, effektiv und zuverlässig getestet werden.

15

Die Erfindung betrifft außerdem ein Computerprogramm, das auf einem Speichermedium, insbesondere in einem Computerspeicher oder in einem Direkt-Zugriffsspeicher enthalten ist oder das auf einem elektrischen Trägersignal übertragen wird. Die Erfindung betrifft auch ein Trägermedium, insbesondere einen Datenträger, wie bspw. eine Diskette, ein Zip-Laufwerk, einen Streamer, eine CD oder eine DVD, auf denen ein vorstehend beschriebenes Computerprogramm abgelegt ist. Ferner betrifft die Erfindung ein Computersystem, auf dem ein solches Computerprogramm gespeichert ist. Schließlich betrifft die Erfindung auch ein Download-Verfahren, bei dem ein solches Computerprogramm aus einem elektronischen Datennetz, wie bspw. aus dem Internet, auf einen an das Datennetz angeschlossenen Computer heruntergeladen wird.

20
25

Als Abschätzung für die durch das erfindungsgemäße Verfahren eingesparte Testzeit kann folgender Ansatz dienen: Gegeben sei ein Halbleiterchip mit 500.000 Flipflops, die in 2.000 Scanketten a 250 Scanflipflops aufgeteilt sind. Die Testdaten wer-

30

den mit einem Multiinputsignaturregister komprimiert. Angenommen sei, dass sich aufgrund des Parallelitätsgrades zwei Halbleiterchips einen Patterngenerator teilen (d.h. 2 Halbleiterchips können unabhängig von weiteren Halbleiterchips stimuliert werden). Die Patternlaufzeit von 100 Scanloads beträgt 0,5 ms bei einer Shiftfrequenz von 50 MHz. Die Patternstartzeit beträgt 1ms, dies ist ein aktueller Wert der Produktionstester J750, J971. Sollen in den 100 Scan-Loads 20 Fehler detektiert werden, müsste beim herkömmlichen Verfahren das Pattern 40 mal gestartet werden, an den Ausfallstellen wird eine reduzierte Anzahl Scan-Elemente ausgelesen und dann das Pattern abgebrochen. Für die Anwendungszeit dieser 40 Wiederholungen sei im Durchschnitt die halbe Patternlaufzeit angenommen, dann beträgt die Patternlaufzeit für die Diagnose 50 ms (40*1,25 ms), zuzüglich müssten $20 * 2.000 = 40.000$ Werte aus dem Speicher gelesen werden. Um auf vernünftige Lesezeiten der Fehlerinformation zu kommen, müsste der Tester sehr wahrscheinlich mit einem speziellen Speicher MTO ausgerüstet werden, da der Standard-Fehlerspeicher nur 256 Vektoren umfasst. Die Zeit für das Abspeichern der Daten sei hier aus Gründen fehlender Daten vernachlässigt. Generell sind Schreib/Lesezugriffe eher zeitaufwendig. Das vorgeschlagene Verfahren braucht nur einen Patterngenerator im gesamten Testsystem. Der Scantest müsste wegen der logarithmischen Abhängigkeit zur MISR Länge nur $\log_2(2000) = 11$ mal gestartet werden, bei einer reduzierten Fehlerwahrscheinlichkeit des Verfahrens $3 * \log_2(2000) = 33$ mal. Die Patternlaufzeit der Diagnose beträgt $11 * 1,5 = 16,5$ ms, bzw. 49,5 ms und es müssten insgesamt $20 * 11 = 220$ oder 660 Werte abgespeichert und gelesen werden, deswegen wird keine MTO gebraucht. Neben der Testzeiteinsparung sind auch die Anforderungen des vorgeschlagenen Verfahrens an das Testsystem wesentlich geringer.

Zusammenfassend kann festgestellt werden, dass die Erfindung ein Verfahren und eine Anordnung zur Komprimierung von Testdaten und/oder von Diagnosedaten einer Schaltung mit n Ausgängen A_0, \dots, A_{n-1} unter Verwendung eines linearen, separierbaren und fehlerkorrigierenden Block-Codes mit n Informationsstellen u_0, \dots, u_{n-1} und mit k Kontrollstellen v_0, \dots, v_{k-1} betrifft. Dabei sind die Kontrollstellen durch die Gleichung

$$\begin{aligned} v_1 &= a_{1,1}u_1 \oplus \dots \oplus a_{1,n}u_n \\ &\cdot \\ &\cdot \\ &\cdot \\ v_k &= a_{k,1}u_1 \oplus \dots \oplus a_{k,n}u_n \end{aligned}$$

aus den Informationsstellen bestimmt und die Koeffizienten $a_{i,j}$, $1 \leq i \leq k$, $1 \leq j \leq n$ nehmen die Werte Null oder Eins an. Die n Schaltungsausgänge A_1, A_2, \dots, A_n der zu testenden und/oder zu diagnostizierenden Schaltung sind in k aufeinanderfolgenden Durchläufen mit n Eingängen E_1, \dots, E_n eines gesteuerten Kompaktors C mit mindestens n Eingängen und m Ausgängen verbunden. Dabei gilt $m \geq 1$. Der gesteuerte Kompaktor bezieht in den k aufeinanderfolgenden Durchläufen in Abhängigkeit von den auf seinen Steuerleitungen anliegenden binären Steuersignalen $c_{i,j}$, $1 \leq i \leq k$, $1 \leq j \leq n$ im i -ten Durchlauf den an seinem jeweils j -ten Eingang E_j anliegenden Wert nicht in die Kompaktierung mit ein, wenn das Steuersignal $c_{i,j}$ den Wert Null annimmt. Wenn der Koeffizient $a_{i,j}$ in dem Gleichungssystem zur Bestimmung der Kontrollstelle v_i des linearen separierbaren Blockcodes den Wert Null annimmt, ist das Steuersignal $c_{i,j}$ gleich Null. In den k aufeinanderfolgenden Durchläufen

werden jeweils die gleichen Daten aus der zu testenden und/oder zu diagnostizierenden Schaltung ausgegeben. Zur Ermittlung der fehlerhaften Ausgaben der zu testenden und/oder zu diagnostizierenden Schaltung werden die tatsächlich erhaltenen, durch den gesteuerten Kompaktor kompaktierten Daten mit den kompaktierten korrekten Daten für die fehlerfreie Schaltung in den k aufeinanderfolgenden Durchläufen verglichen. Die kompaktierten korrekten Daten für die fehlerfreie Schaltung können dabei durch Schaltungssimulation bestimmt werden, wie das beim Entwurf elektronischer Schaltungen üblich ist.

Die Erfindung ist in den Zeichnungen anhand eines Ausführungsbeispiels näher veranschaulicht.

- 15 Figur 1 zeigt einen ersten Kompaktorschaltplan eines ersten steuerbaren Kompaktors,
Figur 2 zeigt einen zweiten Kompaktorschaltplan eines zweiten steuerbaren Kompaktors,
Figur 3 zeigt einen dritten Kompaktorschaltplan eines weiteren steuerbaren Kompaktors,
20 Figur 4 zeigt einen vierten Kompaktorschaltplan eines weiteren steuerbaren Kompaktors sowie eine schematische Darstellung von mit dem steuerbaren Kompaktor verbundenen Scanpfaden einer integrierten Schaltung,
25 Figur 5 zeigt einen fünften Kompaktorschaltplan eines weiteren steuerbaren Kompaktors,
Figur 6 zeigt einen sechsten Kompaktorschaltplan eines weiteren steuerbaren Kompaktors.
- 30 Figur 1 zeigt einen ersten Kompaktorschaltplan 10 eines ersten steuerbaren Kompaktors.

Der in Figur 1 gezeigte steuerbare Kompaktor ist nach Dokument [1] ein modifiziertes Signaturregister zweiter Art.

Der erste Kompaktorschaltplan 10 kann auch als modifiziertes
5 Multiinputsignaturregister bezeichnet werden und umfasst n
Eingänge $E_1, E_2, E_3, \dots, E_n$ und einen Ausgang 116. Ferner umfasst der erste Kompaktorschaltplan 10 n Speicherelemente $D_1, D_2, D_3, \dots, D_{n-1}, D_n$; n Multiplexer $MUX_1, MUX_2, MUX_3, \dots, MUX_n$; n exklusive Oder-Gatter $XOR_1, XOR_2, XOR_3, \dots, XOR_n$ sowie ein weiteres exklusives Oder-Gatter XOR'_3 . Im folgenden mit XOR bezeichnete Oder-Gatter stellen immer exklusive Oder-Gatter dar.

Die Multiplexer $MUX_1 - MUX_n$ verfügen jeweils über einen Nulleingang und über einen Eins-Eingang sowie über jeweils einen
15 Steuereingang 117 - 120, an dem jeweils ein binäres Steuersignal $c_1, c_2, c_3, \dots, c_n$ anliegt. Die Eingänge $E_1 - E_n$ führen jeweils auf den ersten Eingang der Oder-Gatter $XOR_1 - XOR_n$. Der Kompaktorausgang 116 setzt an dem Ausgang des Speicherelements D_n an. Ferner ist ein erstes gesteuertes Und-Gatter 115 vorgesehen, dessen erster Eingang vom Kompaktorausgang 116 abzweigt
20 und dessen zweiter Eingang von einem externen ersten Steuersignaleingang 123 gebildet wird, der das Steuersignal d trägt. Der Ausgang des ersten gesteuerten Und-Gatters 115 wird von der Rückkopplungsleitung 121 gebildet, die auf den Nulleingang
25 des ersten Multiplexers MUX_1 und auf den zweiten Eingang des ersten Oder-Gatters XOR_1 geführt ist. Von der ersten Rückkopplungsleitung 121 zweigt eine zweite Rückkopplungsleitung 122 auf den zweiten Eingang des Oder-Gatters XOR'_3 ab.

30 Gemäß der Erfindung werden Rückkopplungsleitungen jeweils in den zweiten Eingang eines Oder-Gatters XOR'_1 geführt, dessen erster Eingang mit dem Ausgang des davor angeordneten Spei-

cherelements D_{i-1} verbunden ist und dessen Ausgang mit dem Nulleingang des nachfolgenden Multiplexers MUX_i und parallel dazu über das nachfolgende Oder-Gatter XOR_i mit dem Eins-Eingang des nachfolgenden Multiplexers MUX_i verbunden ist.

- 5 Wenn bspw. ein linear rückgekoppeltes Schieberegister maximaler Länge für einen konkreten Wert n realisiert werden soll, dann sind die erforderlichen Rückkopplungsleitungen durch die Koeffizienten eines primitiven Rückkopplungspolynoms vom Grade n bestimmt, wie das bspw. in Dokument [2] beschrieben ist. Die
10 genaue Auswahl der Rückkopplungsleitungen ist einem Fachmann bekannt und wird hier nicht weiter erläutert.

- Der Ausgang des ersten Oder-Gatters XOR_1 ist auf den Eins-Eingang des ersten Multiplexers MUX_1 geführt. Der Ausgang des
15 ersten Multiplexers MUX_1 führt auf das erste Speicherelement D_1 , dessen Ausgang mit dem Nulleingang des zweiten Multiplexers MUX_2 und mit den zweiten Eingang des zweiten Oder-Gatters XOR_2 verbunden ist. Der Ausgang des zweiten Oder-Gatters XOR_2 liegt an dem Eins-Eingang des zweiten Multiplexers MUX_2 an.
20 Der Ausgang des zweiten Multiplexers MUX_2 ist mit dem zweiten Speicherelement D_2 verbunden.

- An den Eingängen des Oder-Gatters XOR'_3 , das dem zweiten Speicherelement D_2 unmittelbar nachgeschaltet ist, liegen die Ausgangsleitungen des zweiten Speicherelements D_2 sowie die zweite Rückkopplungsleitung 122 an. Die Ausgangsleitung des Oder-Gatters XOR'_3 ist mit dem Nulleingang des dritten Multiplexers MUX_3 und parallel dazu mit dem ersten Eingang des dritten Oder-Gatters XOR_3 verbunden, dessen Ausgang mit dem Eins-
30 Eingang des dritten Multiplexers MUX_3 konnektiert ist.

Der Ausgang des dritten Multiplexers MUX_3 steht mit dem dritten Speicherelement D_3 in Verbindung. Diese Art der Hintereinanderschaltung der Oder-Gatter XOR, der Multiplexer MUX und der Speicherelemente D ist sinngemäß für die weiteren Elemente
5 XOR_4, \dots, XOR_n ; MUX_4, \dots, MUX_n und D_4, \dots, D_n ausgeführt.

Ist der erste Steuersignaleingang 123 mit dem Steuersignal $d = 1$ belegt, dann ist die Rückkopplungslogik eingeschaltet. Wenn der am ersten Steuersignaleingang 123 anliegende Wert
10 $d = 0$ gewählt wird, so wird der Ausgang des Speicherelements D_n nicht rückgekoppelt.

Nimmt das Steuersignal c_1 des Multiplexers MUX_1 den Wert Null an, dann wird der im vorherigen Speicherelement D_{i-1} gespeicherte Wert im nächsten Takt über den Multiplexer MUX_i in das
15 Speicherelement D_i übergeben, und der am Eingang E_i des Multiplexers MUX_i anliegende Wert wird nicht weitergeleitet.

Es wird also nicht der am Eingang E_i anliegende Wert durch einen festen Wert, bspw. durch den Wert Null ersetzt, der sich
20 bei der im entsprechenden Oder-Gatter XOR_i vorgenommenen Verknüpfung nicht auswirken würde. Vielmehr ist im Falle, dass an der Steuerleitung eines Multiplexers MUX_i ein Steuerwert $c_i = 0$ anliegt, keine Verbindung von dem Eingang E_i zu dem nachfolgenden Speicherelement D_i vorhanden.
25

Die parallele Rückkopplung des Ausgangssignals des Speicherelements D_n über die Rückkopplungsleitungen 121 und 122 funktioniert wie folgt.

30

Wenn die Steuerleitung 119 des dritten Multiplexers MUX_3 mit dem Steuersignal $c_3 = 1$ belegt ist, dann ist das Ausgangssig-

- nal des Speicherelements D_n über die Rückkopplungsleitung 122, über das Oder-Gatter XOR'_3 , über das dritte Oder-Gatter XOR_3 und über den dritten Multiplexer MUX_3 in das dritte Speicherelement D_3 rückgekoppelt. Wenn der Steuereingang 119 des dritten Multiplexers MUX_3 hingegen mit dem Steuersignal $c_3 = 0$ belegt ist, dann ist das Ausgangssignal des Speicherelements D_n über das Oder-Gatter XOR'_3 und über den Multiplexer MUX_3 zurückgekoppelt.
- 10 Wenn der Steuereingang 117 des ersten Multiplexers MUX_1 mit dem Steuersignal $c_1 = 0$ belegt ist, dann ist das Ausgangssignal des Speicherelements D_n über die erste Rückkopplungsleitung 121 und über den ersten Multiplexer MUX_1 in das erste Speicherelement D_1 rückgekoppelt. Wenn das Steuersignal c_1 auf
- 15 der ersten Steuerleitung 117 den Wert Eins annimmt, dann ist das Ausgangssignal des Speicherelements D_n hingegen über das erste Oder-Gatter XOR_1 und über den ersten Multiplexer MUX_1 in das erste Speicherelement D_1 rückgekoppelt.
- 20 Wenn alle Steuerleitungen 117 - 120 mit den Steuersignalen $c_1, c_2, \dots, c_n = 1$ belegt sind und wenn zusätzlich am ersten Steuersignaleingang 123 das Steuersignal $d = 1$ anliegt, so arbeitet der steuerbare Kompaktor wie ein linear rückgekoppeltes Multiinputsignaturregister.
- 25 Wenn alle Steuerleitungen 117 - 120 zu einem bestimmten Zeitpunkt mit den Steuersignalen $c_1, c_2, \dots, c_n = 0$ belegt sind und wenn gleichzeitig der erste Steuersignaleingang mit dem Steuersignalwert $d = 1$ beaufschlagt wird, so werden die Werte
- 30 der Eingänge E_1, E_2, \dots, E_n keiner Oder-Verknüpfung mit den in den Speicherelementen D_1, D_2, \dots, D_n gespeicherten Werten über die Oder-Gatter $XOR_1, XOR_2, \dots, XOR_n$ unterzogen, zumal die

Speicherelemente D_1, D_2, \dots, D_n in diesem Fall jeweils mit den Nulleingängen der Multiplexer $MUX_1, MUX_2, \dots, MUX_n$ verbunden sind.

- 5 Durch Belegung der Steuersignale c_1, c_2, \dots, c_n mit den Werten Null oder Eins können unterschiedliche Verknüpfungen der Eingänge E_1, E_2, \dots, E_n mit den jeweils in den Speicherelementen D_1, D_2, \dots, D_n gespeicherten Werten vorgenommen werden. Diese Verknüpfungen können zu verschiedenen Zeitpunkten unterschied-
- 10 lich gewählt werden.

- Gilt zum Beispiel für einen bestimmten Zeitpunkt $c_1 = c_3 = c_4 = \dots c_n = 1$ und $c_2 = 0$, so wird nur der am zweiten Eingang E_2 anliegende Wert nicht mit dem im davor angeordneten ersten
- 15 Speicherelement D_1 abgelegten Wert oder-verknüpft. Die Werte der übrigen Eingänge $E_1, E_3, E_4, \dots, E_n$ werden hingegen mit den Inhalten der jeweils davor angeordneten Steuersignale $D_n, D_2, D_3, \dots, D_{n-1}$ verknüpft.

- 20 Die Steuerung des Kompaktors gemäß dem ersten Kompaktorschaltplan 10 durch die Steuersignale c_1, c_2, \dots, c_n auf den Steuerleitungen 117 - 120 erfordert keine zusätzliche Steuerung, die zwischen den Ausgänge der zu testenden und/oder zu diagnostizierenden Schaltungen anzuordnen ist, wie das
- 25 bspw. in Dokument [3] beschrieben ist. Vielmehr ist die Steuerung vorteilhafterweise in den Kompaktor selbst integriert.

Figur 2 zeigt einen zweiten Kompaktorschaltplan 11 eines zweiten steuerbaren Kompaktors.

30

Der zweite Kompaktorschaltplan 11 unterscheidet sich vom ersten Kompaktorschaltplan 10 dadurch, dass ein zusätzliches

zweites gesteuertes Und-Gatter 125 vorgesehen ist. Die Eingänge des zweiten gesteuerten Und-Gatters 125 werden von dem Ausgang des Speicherelements D_n und von einem zweiten Steuersignaleingang 124 gebildet, der das Steuersignal s führt. Der
5 Ausgang des zweiten gesteuerten Und-Gatters 125 bildet den Kompaktorausgang, von dem - wie beim ersten Kompaktorschaltplan 10 - eine Leitung abzweigt, die auf den ersten Eingang des ersten gesteuerten Und-Gatters 115 geführt ist.

- 10 Ist das Steuersignal s des zweiten Steuersignaleingangs 124 gleich Eins, so ist der in Figur 2 gezeigte gesteuerte Kompaktor dem in Figur 1 gezeigten gesteuerten Kompaktor funktionell gleichwertig. Ist hingegen das Steuersignal s gleich Null, so wird der Ausgabewert des Speicherelements D_n auf den Wert Null
15 gesetzt, unabhängig davon, welchen Wert dieser Ausgabewert des Speicherelements D_n zuvor angenommen hat.

- In gängigen elektronischen Schaltungen treten beim Test oft unbestimmte, nicht vorhersagbare Werte auf, die dann als X-
20 Werte bezeichnet werden. Wird zu irgendeinem Zeitpunkt von dem Speicherelement D_n ein solcher X-Wert ausgegeben, so sind über die Rückkopplungsleitungen 121 und 122 die Werte der Speicherelemente D_1 und D_3 und einige Takte später die Inhalte mehrerer weiterer Speicherelemente des gesteuerten Kompaktors unbestimmt, was zu einem unbestimmt Zustand und zu einer unbestimmten Signatur des Kompaktors führt. Zuverlässige Aussagen
25 über die Korrektheit der getesteten und/oder diagnostizierten Schaltung können in diesem Fall nicht mehr getroffen werden.
- 30 Setzt man in dem Fall, dass das Speicherelement D_n einen solchen unbestimmten X-Wert ausgibt, den Wert des Steuersignals s des zweiten Steuersignaleingangs 124 auf Null, so wird ein

derartiger X-Wert durch den bestimmten Wert Null ersetzt. Dadurch ist gewährleistet, dass der Zustand des gesteuerten Kompaktors und sein Ausgang vorhersagbar bleiben.

5 Einem Fachmann ist klar, dass er anstelle des zweiten gesteuerten Und-Gatters 125 auch ein gesteuertes Oder-Gatter verwenden kann. In diesem Fall wird der vom Speicherelement D_n ausgegebene Wert durch den Wert Eins ersetzt. Ebenso können ein gesteuertes NAND-Gatter oder ein gesteuertes NOR-Gatter verwendet werden. Die Multiplexer-Anschlüsse können vertauscht werden, wenn man die Ansteuerung invertiert.

Figur 3 zeigt einen dritten Kompaktorschaltplan 12 eines weiteren steuerbaren Kompaktors.

15

Der in Figur 3 gezeigte steuerbare Kompaktor ist nach Dokument [1] ein modifiziertes Signaturregister erster Art.

20 Komponenten und Elemente des dritten Kompaktorschaltplans 12, die mit Komponenten und Elementen des ersten Kompaktorschaltplans 10 und des zweiten Kompaktorschaltplans 11 übereinstimmen, sind in Figur 3 mit den gleichen Bezugszeichen gekennzeichnet und werden nicht extra erläutert.

25 Gemäß einem ersten Unterschied zum ersten Kompaktorschaltplan 10 sieht der dritte Kompaktorschaltplan 12 kein Oder-Gatter XOR₃ vor. Anstelle dessen ist der Ausgang des zweiten Speicherelements D_2 direkt auf den Eingang des dritten Oder-Gatters XOR₃ und parallel dazu auf den Nulleingang des dritten
30 Multiplexers MUX₃ geführt.

Gemäß einem weiteren Unterschied zum ersten Kompaktorschaltplan 10 ist im dritten Kompaktorschaltplan 12 ein weiteres Oder-Gatter XOR'₁ vorgesehen. Auf die Eingänge dieses Oder-Gatters XOR'₁ sind eine Rückkopplungsleitung 220 vom Ausgang des zweiten Speicherelements D₂, eine zweite Rückkopplungsleitung 221 vom Ausgang des dritten Speicherelements D₃ und eine weitere Rückkopplungsleitung 222 vom Ausgang des n-ten Speicherelements D_n geführt.

10 Gemäß einem weiteren Unterschied zum ersten Kompaktorschaltplan 10 ist das erste gesteuerte Und-Gatter 115 im dritten Kompaktorschaltplan 12 durch ein drittes gesteuertes Und-Gatter 214 ersetzt. Die Eingänge des dritten gesteuerten Und-Gatters 214 werden von einem dritten Steuersignaleingang 223, 15 der das Steuersignal d trägt, und von dem Ausgang des Oder-Gatters XOR'₁ gebildet. Der Ausgang des dritten gesteuerten Und-Gatters 214 führt auf den Nulleingang des ersten Multiplexers MUX₁ und parallel dazu auf den Eingang des ersten Oder-Gatters XOR₁.

20

Wenn der dritte Steuersignaleingang 223 mit dem Steuersignal d = 1 belegt ist, dann ist die Rückkopplungslogik eingeschaltet, und die Ausgangswerte der Speicherelemente D₂, D₃ und D_n werden über die Rückkopplungsleitungen 220, 221 und 222 und 25 über das dritte gesteuerte Und-Gatter 214 rückgekoppelt.

Wenn die Steuerleitung 117 des Multiplexers MUX₁ mit dem Steuersignal c₁ = 0 belegt ist, erfolgt die Rückkopplung der Ausgangssignale in das erste Speicherelement D₁ über den Nulleingang des ersten Multiplexers MUX₁. Wenn die Steuerleitung 117 mit dem Steuersignal c₁ = 1 belegt ist, erfolgt die Rückkoppl-

30

lung in das erste Speicherelement D_1 über das erste Oder-Gatter XOR_1 und über den Eins-Eingang des Multiplexers 1.

Wenn bspw. ein linear rückgekoppeltes Schieberegister maximaler Länge für einen konkreten Wert n zu realisieren ist, dann sind die erforderlichen Rückkopplungsleitungen auch beim dritten Kompaktorschaltplan 13 durch die Koeffizienten eines primitiven Rückkopplungspolynoms vom Grade n bestimmt, wie bspw. in Dokument [2] beschrieben.

10

Wenn sämtliche Steuerleitungen 117 bis 120 zu einem bestimmten Zeitpunkt mit den Steuersignalen $c_1, c_2, \dots, c_n = 0$ und gleichzeitig der dritte Steuersignaleingang 223 mit dem Steuersignal $d = 1$ belegt sind, so werden die an den Eingängen E_1, E_2, \dots, E_n anliegenden Werte nicht mit den in den Speicherelementen D_1, D_2, \dots, D_n gespeicherten Werten verknüpft, denn in diesem Fall sind die Speicherelemente D_1, D_2, \dots, D_n jeweils mit den Nulleingängen der Multiplexer $MUX_1, MUX_2, \dots, MUX_n$ verbunden.

15 Analog zu den Kompaktorschaltplänen 10 und 11 können auch bei dem durch den dritten Kompaktorschaltplan 12 beschriebenen Kompaktor durch individuelles Festlegen der Werte für die Steuersignale c_1, c_2, \dots, c_n auf Null oder Eins unterschiedliche Verknüpfungen der Eingänge E_1, E_2, \dots, E_n mit jeweils in den Speicherelementen D_1, D_2, \dots, D_n abgelegten Werten realisiert werden. Diese Verknüpfungen können zu verschiedenen Zeitpunkten unterschiedlich gewählt werden.

30 Figur 4 zeigt einen vierten Kompaktorschaltplan 13 eines weiteren steuerbaren Kompaktors sowie eine schematische Darstellung von mit dem steuerbaren Kompaktor verbundenen Scanpfaden einer integrierten Schaltung 14.

Der vierte Kompaktorschaltplan 13 entspricht dem dritten Kompaktorschaltplan 12, wobei die Variable n den Wert 4 annimmt und der steuerbare Kompaktor demzufolge insgesamt vier Eingänge $E_1 - E_4$, vier Multiplexer $MUX_1 - MUX_4$, vier exklusive Oder-Gatter $XOR_1 - XOR_4$ und vier Speicherelemente $D_1 - D_4$ umfasst.

Die Steuerleitungen der Multiplexer $MUX_1 - MUX_4$ sind mit den Bezugszeichen 320-323, das weitere Oder-Gatter mit dem Bezugszeichen 315, das vierte gesteuerte Und-Gatter mit dem Bezugszeichen 314 und der vierte Steuersignaleingang mit dem Bezugszeichen 313 gekennzeichnet.

Die integrierte Schaltung 14 weist vier Scan-Pfade $SC_1 - SC_4$ auf. Eine Schaltung mit Scan-Pfaden kann in zwei verschiedenen Modes betrieben werden. Neben dem normalen Funktionsmode ist ein Scan-Mode realisiert, in dem Daten in die als Scan-Ketten konfigurierten Speicherelemente ein- und ausgeschoben werden können. Beim Test oder bei der Diagnose werden die als Scan-Kette verknüpften Speicherelemente der Scan-Pfade im Scan-Mode mit den Testvektoren oder mit den Diagnosevektoren geladen. In einem folgenden Schritt werden die in die Speicherelemente der Scan-Pfade eingeschobenen Daten von dem kombinatorischen Schaltungsteil der zu testenden oder zu diagnostizierenden Schaltung im Funktionsmode verarbeitet, und das Ergebnis dieser Verarbeitung wird in den Speicherelementen der Schaltung gespeichert. Anschließend wird das in den Speicherelementen der Scan-Pfade gespeicherte Ergebnis im Scan-Mode ausgeschoben und an den Ausgängen A_1, \dots, A_4 der Scan-Pfade ausgegeben, während gleichzeitig die nächsten Test- oder Diagnosevektoren in die Scan-Pfade eingeschoben werden.

Beim Test derartiger Schaltungen werden die von den Scan-Pfaden ausgegebenen Daten in einem vorzugsweise linear rückgekoppelten Schieberegister mit n parallelen Eingängen zu einer Signatur akkumuliert, wie das dem Fachmann bekannt ist. Stimmt die ermittelte Signatur nicht mit der vorher berechneten Signatur überein, dann ist die getestete Schaltung fehlerhaft.

Eine detaillierte Beschreibung der Verwendung von Scan-Pfaden zum Test und zur Diagnose digitaler Schaltungen ist hier nicht notwendig, da sie einem Fachmann bekannt ist. Die Verwendung von Scan-Pfaden ist bspw. in Dokument [4] beschrieben.

In Figur 4 ist dargestellt, dass die Daten $u_1^1, u_2^1, u_3^1, u_4^1, u_5^1, u_1^2, u_2^2, \dots$ in dem Scan-Pfad SC_1 , die Daten $t_1^1, t_2^1, t_3^1, t_4^1, t_5^1, t_1^2, t_2^2, \dots$ in dem Scan-Pfad SC_2 , die Daten $s_1^1, s_2^1, s_3^1, s_4^1, s_5^1, s_1^2, s_2^2, \dots$ in dem Scan-Pfad SC_3 und die Daten $r_1^1, r_2^1, r_3^1, r_4^1, r_5^1, r_1^2, r_2^2, \dots$ in dem Scan-Pfad SC_4 gespeichert sind. Diese Daten können im Scan-Mode der zu testenden integrierten Schaltung ausgeschoben werden.

Die integrierte Schaltung 14 weist vier Scan-Pfade $SC_1 - SC_4$ auf. Die 4 Ausgänge $A_1 - A_4$ der integrierten Schaltung 14 sind jeweils mit den vier Eingängen $E_1 - E_4$ des steuerbaren Kompaktors verbunden.

Zunächst wird die Signatur der zu testenden Schaltung bestimmt. Dabei werden sämtliche Steuersignale c_1, c_2, c_3, c_4 der Multiplexer $MUX_1, MUX_2, MUX_3, MUX_4$ zu Eins gewählt. Im Falle eines Fehlers ist die Schaltung zu diagnostizieren. In aufeinanderfolgenden Durchläufen sind dann für unterschiedliche Wertekombinationen der binären Steuersignale c_1, c_2, c_3, c_4 die Ausgangssignaturen zu ermitteln.

- Man bemerkt, dass die mit den Werten der Steuersignale $c_1 = c_2 = c_3 = c_4 = 1$ belegte Schaltung von Figur 4 funktionell wie ein ganz normales linear rückgekoppeltes Schieberegister mit vier parallelen Eingängen E_1, E_2, E_3 und E_4 funktioniert und die Signatur eines Tests in der üblichen, einem Fachmann bekannten Weise gebildet werden kann. Ist nun die Signatur fehlerhaft, dann wird mit der Diagnose begonnen.
- 10 Die erfindungsgemäße Diagnose ist nachfolgend unter Verwendung eines fehlerkorrigierenden Hammingcodes mit vier Informationsstellen $u_1 = u, u_2 = t, u_3 = s$ und $u_4 = r$ und mit drei Kontrollstellen v_1, v_2 und v_3 erläutert. Ein solcher Hammingcode ist dem Fachmann bspw. aus Dokument [5] bekannt und braucht
15 hier nicht näher erläutert werden.

Die Informationsstellen werden dabei an den Eingängen $E_1 - E_4$ erfasst, die Kontrollstellen werden wie nachfolgend beschrieben aus den Informationsstellen ermittelt.

20

Die Kontrollstellen v_1, v_2 und v_3 sind durch die folgenden Gleichungen aus den korrekten Informationsstellen bestimmt.

$$v_1 = u_1 \oplus u_2 \oplus u_3 = u \oplus t \oplus s$$

25

$$v_2 = u_1 \oplus u_2 \oplus u_4 = u \oplus t \oplus r$$

$$v_3 = u_1 \oplus u_3 \oplus u_4 = u \oplus s \oplus r$$

30

Das Zeichen " \oplus " repräsentiert die exklusive Oder-Verknüpfung XOR. Die korrekten Informationsstellen sind mit u_1, u_2, u_3 und u_4 und die tatsächlich beim Test oder bei der Diagnose erhal-

tenen Informationsstellen sind mit U_1 , U_2 , U_3 und U_4 bezeichnet.

Es wird die Annahme getroffen, dass ein Teil der Informationsstellen u_1 , u_2 , u_3 und u_4 in U_1 , U_2 , U_3 und U_4 gestört sein können. Der Zusammenhang zwischen den korrekten Werten und den tatsächlich beobachteten Werten der Informationsstellen wird üblicherweise durch die Beziehung

$$10 \quad U_i = u_i \oplus e_i$$

für $i = 1, \dots, 4$ beschrieben. Dabei bildet $e = (e_1, e_2, e_3, e_4)$ den Fehlervektor, dessen Werte in binärer Form vorliegen. Ist $e_i = 1$, dann ist das i -te Informationsbit U_i fehlerhaft.

15 Ist $e_i = 0$, dann ist das i -te Informationsbit U_i korrekt.

Aus den tatsächlich erhaltenen Informationsbits U_1 , U_2 , U_3 und U_4 werden die tatsächlichen Kontrollstellen V_1 , V_2 , V_3 durch das folgende Gleichungssystem bestimmt.

20

$$V_1 = U_1 \oplus U_2 \oplus U_3$$

$$V_2 = U_1 \oplus U_2 \oplus U_4$$

$$V_3 = U_1 \oplus U_3 \oplus U_4$$

25 Wegen $(U_1, U_2, U_3, U_4) = (u_1, u_2, u_3, u_4) \oplus (e_1, e_2, e_3, e_4)$ gilt:

$$S_1 = V_1 \oplus v_1 = e_1 \oplus e_2 \oplus e_3$$

$$S_2 = V_2 \oplus v_2 = e_1 \oplus e_2 \oplus e_4$$

$$30 \quad S_3 = V_3 \oplus v_3 = e_1 \oplus e_3 \oplus e_4$$

Dabei wird (S_1, S_2, S_3) in der Theorie der fehlerkorrigierenden Codes üblicherweise als Syndrom des Fehlers (e_1, e_2, e_3, e_4) bezeichnet, der hier nur die Informationsstellen betrifft.

- 5 Man bemerkt, dass jeder Fehler, der ein Bit der Informationsstellen verfälscht, an seinem unterschiedlichen Syndrom erkannt werden kann. So führen die Einbit-Fehler, die durch die Fehlervektoren $(1, 0, 0, 0)$, $(0, 1, 0, 0)$, $(0, 0, 1, 0)$ und $(0, 0, 0, 1)$ beschrieben werden können, und die das erste, das
10 zweite, das dritte und das vierte Informationsbit verfälschen, zu den unterschiedlichen Syndromen $(1, 1, 1)$, $(1, 1, 0)$, $(1, 0, 1)$ und $(0, 1, 1)$.

- Liegt kein Fehler vor und gilt für den Fehlervektor $(e_1, e_2,$
15 $e_3, e_4) = (0, 0, 0, 0)$, dann ist das Syndrom $(0, 0, 0)$.

- Bestimmt man also einfach die XOR-Summen $S_1 = V_1 \oplus v_1$, $S_2 = V_2 \oplus v_2$ und $S_3 = V_3 \oplus v_3$ aus den beobachteten und den korrekten Kontrollstellen des Hammingcodes, so erhält man die Werte des Syndroms
20 eines eventuell vorhandenen Fehler, aus dem man im Falle eines Fehlers, der nur ein Bit der Informationsstellen verfälscht, auf den zugehörigen Fehlervektor und damit auf die Stelle schließen kann, die in den Informationsstellen verfälscht worden ist.

25

Im Testmodus wird der Wert des auf der Steuerleitung 313 anliegenden Steuersignals $d = 1$ gesetzt. Dadurch lässt sich die Signatur berechnen. Dies ist dem Fachmann bekannt und braucht daher nicht weiter erläutert zu werden.

30

Im Diagnosemodus wird der Wert des auf der Steuerleitung 313 anliegenden Steuersignals $d = 0$ gesetzt, so dass der Ausgang

des vierten gesteuerten Und-Gatters 314 gleich Null wird und die Rückkopplungslogik des vierten steuerbaren Kompaktors unterbrochen ist. Am Ausgang 326 des vierten steuerbaren Kompaktors werden nun die nacheinander ausgegebenen Werte y_0, y_1, y_2, \dots beobachtet. Sie stellen die Folge der Ausgangswerte bzw. die Ausgangssignatur dar. Sind die Speicherelemente D_1, D_2, D_3 und D_4 im Anfangszustand Null, dann gilt für festgelegte Werte $c = (c_1, c_2, c_3, c_4)$ der Steuersignale der Steuerleitungen 320, 321, 322 und 323 für die am Ausgang 326 ausgegebenen Werte

$$y_0 = 0$$

$$y_1(c) = c_4 r_1^1$$

$$y_2(c) = c_4 r_2^1 \oplus c_3 s_1^1$$

$$y_3(c) = c_4 r_3^1 \oplus c_3 s_2^1 \oplus c_2 t_1^1$$

$$y_4(c) = c_4 r_4^1 \oplus c_3 s_3^1 \oplus c_2 t_2^1 \oplus c_1 u_1^1$$

$$y_5(c) = c_4 r_5^1 \oplus c_3 s_4^1 \oplus c_2 t_3^1 \oplus c_1 u_2^1$$

$$y_6(c) = c_4 r_1^2 \oplus c_3 s_5^1 \oplus c_2 t_4^1 \oplus c_1 u_3^1$$

$$y_7(c) = c_4 r_2^2 \oplus c_3 s_1^2 \oplus c_2 t_5^1 \oplus c_1 u_4^1$$

.

.

.

Dies kann auch in kompakter Form als

$$y(c_1, c_2, c_3, c_4) = c_4 r \oplus c_3 s \oplus c_2 t \oplus c_1 u$$

geschrieben werden.

Dabei bezeichnen r, s, t, u und y die folgenden Spaltenvektoren.

$$r = [r_1^1, r_2^1, r_3^1, r_4^1, r_5^1, r_1^2, r_2^2, r_3^2, \dots]$$

$$s = [0, s_1^1, s_2^1, s_3^1, s_4^1, s_5^1, s_1^2, s_2^2, \dots]$$

$$t = [0, 0, t_1^1, t_2^1, t_3^1, t_4^1, t_5^1, t_1^2, \dots]$$

$$5 \quad u = [0, 0, 0, u_1^1, u_2^1, u_3^1, u_4^1, u_5^1, \dots]$$

$$y(c) = [y_1(c), y_2(c), y_3(c), \dots]$$

Wir interpretieren nun die folgenden 4-Bit Worte

$$10 \quad [r_1^1, 0, 0, 0] [r_2^1, s_1^1, 0, 0] [r_3^1, s_2^1, t_1^1, 0] [r_4^1, s_3^1, t_2^1, u_1^1] [r_5^1, s_4^1, t_3^1, u_2^1] [r_1^2, s_5^1, t_4^1, u_3^1] [r_2^2, s_1^2, t_5^1, u_4^1]$$

jeweils als die vier Informationsstellen des betrachteten fehlerkorrigierenden Hammingkodes mit vier Informationsstellen und mit drei Kontrollstellen.

15

Dann sind die Ausgangssignaturen $y_1(c)$, $y_2(c)$, $y_3(c)$, $y_4(c)$, $y_5(c)$, $y_6(c)$, $y_7(c)$, $y_8(c)$, ... diejenigen Werte der Kontrollstellen des Hammingkodes, die dem konkreten Wert der Steuervariablen $c = (c_1, c_2, c_3, c_4)$ entsprechen. Die Anzahl der Kontrollstellen ist gleich 3, demzufolge ist der Test dreimal zu wiederholen. Bei den drei Wiederholungen des Testes werden die Werte der Steuervariablen $c = (c_1, c_2, c_3, c_4)$ der Steuerleitungen 320-323 der Multiplexer MUX₁, MUX₂, MUX₃ und MUX₄ entsprechend den Koeffizienten in den Gleichungen zur Bestimmung der Kontrollstellen aus den Informationsstellen des Codes gewählt.

25

Die erste Kontrollstelle v_1 ist als $v_1 = u \oplus t \oplus s$ bestimmt. Deshalb sind die Werte der Kontrollsignale für die erste Anwendung des Tests $c_1 = 1$, $c_2 = 1$, $c_3 = 1$, $c_4 = 0$.

30

Die zweite Kontrollstelle v_2 ist als $v_2 = u \oplus t \oplus r$ bestimmt. Deshalb sind die Werte der Kontrollsignale für die zweite Anwendung des Tests $c_1 = 1, c_2 = 1, c_3 = 0, c_4 = 1$.

5

Für die dritte Kontrollstelle v_3 gilt $v_3 = u \oplus s \oplus r$, weshalb die Werte der Kontrollsignale für die dritte Anwendung des Testes $c_1 = 1, c_2 = 0, c_3 = 1, c_4 = 1$ sind.

10 Das Syndrom zum Zeitpunkt i bezeichnen wir mit S^i . Das Syndrom

$$S^i = (S_i^1, S_i^2, S_i^3)$$

15 bildet die XOR-Summe der Kontrollstellen der korrekten Schaltung und der Kontrollstellen der getesteten, eventuell fehlerhaften Schaltung.

Für den betrachteten Hammingkode gilt.

$$\begin{aligned} 20 \quad S_i^1 &= y_i^k(1, 1, 1, 0) \oplus y_i^b(1, 1, 1, 0) \\ S_i^2 &= y_i^k(1, 1, 0, 1) \oplus y_i^b(1, 1, 0, 1) \\ S_i^3 &= y_i^k(1, 0, 1, 1) \oplus y_i^b(1, 0, 1, 1) \end{aligned}$$

25 Dabei sind die eindimensionalen Ausgaben des gesteuerten Kom-paktors, die auch als Ausgangssignatur bezeichnet werden, ohne Rückkopplung für die fehlerfreie Schaltung mit $y_i^k(c)$ und für die tatsächlich beobachtete, möglicherweise fehlerhafte Schaltung als y_i^b bezeichnet. Die Werte der korrekten, fehlerfreien Schaltung bestimmt man üblicherweise durch Simulation.

Wenn bspw. $S_1 = S_2 = S_3 = (0,0,0)$, $S_4 = (1,1,0)$, $S_5 = (0,0,0)$, $S_6 = (1,1,1)$ und $S_7 = (1,1,1)$ sind, dann sind die den Syndromen entsprechenden Fehlervektoren $e_1 = e_2 = e_3 = e_5 = (0,0,0,0)$, $e_4 = (0,1,0,0)$, $e_6 = (1,0,0,0)$ und $e_7 = (1,0,0,0)$.

5

Man erkennt, dass im vierten Block $[r_4^1, s_3^1, t_2^1, u_1^1]$ das zweite Bit und damit der Wert s_3^1 , im sechsten Block $[r_1^2, s_5^1, t_4^1, u_3^1]$ das erste Bit und damit der Wert r_1^2 und im siebenten Block $[r_2^2, s_1^2, t_5^1, u_4^1]$ das erste Bit und damit der Wert r_2^2 als verfälscht identifiziert werden.

10

Die fehlerhaften Scan-Zellen sind in Fig. 4 mit dem Zeichen "*" markiert worden.

15 Ebenso wie in dem beschriebenen Ausführungsbeispiel werden auch im allgemeinen Fall eine Vielzahl von fehlerhaften Scan-Zellen durch einen einfachen fehlerkorrigierenden Hammingkode richtig identifiziert. Wird ein Hammingkode angewandt, dann liegt die einzige Beschränkung für die Fehlererkennung darin,
 20 dass zwei gleichzeitig fehlerhafte Scan-Zellen nicht auf einer Nebendiagonale in den Scan-Pfaden liegen dürfen. Eine solche Nebendiagonale wäre bspw. durch die i -te Zelle im Scan-Pfad SC_1 , durch die $(i+1)$ -te Zelle im Scanpfad SC_2 , durch die $(i+2)$ -te Zelle im Scan-Pfad SC_3 und durch die $(i+3)$ -te Zelle
 25 im Scan-Pfad SC_4 beschrieben.

Kann eine solche Bedingung nicht akzeptiert werden, so kann man einen anderen fehlerkorrigierenden linearen Block-Kode, bspw. einen sogenannten BCH-Kode verwenden, wie er bspw. im
 30 Dokument [4] beschrieben ist. Dann können bis zu T fehlerhafte

Scan-Zellen, die auf einer Diagonalen liegen, korrekt identifiziert werden, wobei T ein wählbarer Parameter des Kodes ist.

Nachfolgend wird erläutert, wie ein unbestimmter Wert, der auch als X-Wert bezeichnet wird, in dem steuerbaren Kompaktor behandelt wird.

Angenommen, dass der Wert t_2^1 im Scan-Pfad SC_2 unbestimmt ist, sodass bei dem durchgeführten Test nicht vorhergesagt werden kann, ob t_2^1 den Wert 0 oder 1 annimmt. Wird der unbestimmte Wert t_2^1 am Ausgang A_2 des Scan-Pfades SC_2 ausgegeben, dann ist das Steuersignal c_2 auf der Steuerleitung 321 des Multiplexers MUX_2 auf den Wert 0 zu setzen, sodass der Ausgang des Speicherelementes D_1 über den 0-Eingang des Multiplexers MUX_2 in den Eingang des nachfolgenden Speicherelements D_2 geführt wird. Vom Eingang E_2 gibt es dann keine Verbindung in das nachfolgende Speicherelement D_2 , so dass der unbestimmte Wert t_2^1 keinen Einfluss auf die Werte in den Speicherelementen $D_1 - D_4$ des steuerbaren Kompaktors hat. Es ist dabei nicht nötig, den unbestimmten Wert t_2^1 auf einen bestimmten Wert zu setzen, um einen definierten Wert in den Speicherelementen $D_1 - D_4$ zu garantieren.

Figur 5 zeigt einen fünften Kompaktorschaltplan 15 eines weiteren steuerbaren Kompaktors.

Der fünfte Kompaktorschaltplan 15 entspricht dem ersten Kompaktorschaltplan 10, wobei anstelle des ersten Oder-Gatters XOR_1 und anstelle des ersten Multiplexers MUX_1 ein Und-Gatter 44 vorgesehen ist, dessen Ausgang auf das erste Speicherelement D_1 führt. Die beiden Eingänge des Und-Gatters 44 werden

von dem ersten Eingang E_1 und von der Steuerleitung 416 gebildet, die das Steuersignal c_1 führt.

Die Steuerleitungen 417 und 418 des zweiten Multiplexers MUX_2 und des n-ten Multiplexers MUX_n entsprechen den in Figur 1 gezeigten Steuerleitungen 118 und 120. Mittels der Steuerleitungen 417 und 418 können die Steuersignale c_2 und c_n an die Multiplexer MUX_2 und MUX_n angelegt werden.

Der Ausgang 116 des Speicherelements D_n ist über eine Datenleitung 420 mit einem Eingang eines Oder-Gatters 415 verbunden. Der Ausgang des exklusiven Oder-Gatters 415 ist mit dem Eingang eines Speicherelements D'_1 verbunden. Der Ausgang des Speicherelements D'_1 ist auf den Eingang des Speicherelements D'_2 geführt. Der Ausgang des Speicherelements D'_2 ist zum einen mit dem Eingang des Speicherelements D'_3 verbunden und zum anderen über eine Rückkopplungsleitung 427 auf einen weiteren Eingang des exklusiven Oder-Gatters 415 zurückgeführt. Der Ausgang des Speicherelements D'_3 ist auf den Eingang des nächsten Speicherelements geführt. Der Ausgang des m-ten Speicherelements D'_m ist über eine weitere Rückkopplungsleitung 428 auf einen weiteren Eingang des exklusiven Oder-Gatters 415 zurückgeführt.

Das exklusive Oder-Gatter 415 sowie die Speicherelemente D'_1 , D'_2 , D'_3 , ..., D'_m bilden zusammen mit den Rückkopplungsleitungen 427 und 428 ein linear rückgekoppeltes Schieberegister. Der Entwurf von solchen linear rückgekoppelten Schieberegistern ist dem Fachmann bekannt und wird daher nicht weiter erläutert.

Wird für den Betrieb des steuerbaren Kompaktors gemäß dem ersten Kompaktorschaltplan 10 aus Figur 1 die Rückkopplung ständig nicht benötigt, dann ist das Steuersignal d auf der Steuerleitung 123 ständig gleich Null. Die Rückkopplungsleitungen 121 und 122 führen dann ständig den Wert Null, der dann auch ständig am Null-Eingang des ersten Multiplexers MUX_1 und am zweiten Eingang des ersten XOR-Gatters XOR_1 anliegt. Man bemerkt, dass dann der erste Multiplexer MUX_1 mit dem vorgeschalteten ersten XOR-Gatter XOR_1 logisch einem UND-Gatter mit den beiden Eingängen c_1 und E_1 gleichwertig ist, dessen Ausgang in das Speicherelement D_1 geführt ist.

In diesem Fall wird ein Fachmann das UND-Gatter 115 und die Rückkopplungsleitungen 121 und 122 einfach weglassen und den ersten Multiplexer MUX_1 mit dem Steuersignal c_1 und mit dem vorgeschalteten ersten XOR-Gatter XOR_1 durch ein einfaches UND-Gatter ersetzen, an dessen erstem Eingang der erste Eingang E_1 angeschlossen ist und dessen zweiter Eingang das Steuersignal c_1 des eingesparten Multiplexers MUX_1 führt.

20

Figur 6 zeigt einen sechsten Kompaktorschaltplan 16 eines weiteren steuerbaren Kompaktors.

Der sechste Kompaktorschaltplan 16 entspricht dem dritten Kompaktorschaltplan 12, wobei der sechste Kompaktorschaltplan 16 über weitere Speicherelemente $D'_1, D'_2, \dots D'_n$ verfügt, in die keine Eingänge der Scan-Pfade eingekoppelt werden können. Diese weiteren Speicherelemente $D'_1, D'_2, \dots D'_n$ sind jeweils direkt hinter den Speicherelementen $D_1, D_2, \dots D_n$ angeordnet. Am Schluss des sechsten Kompaktorschaltplans 16 befinden sich noch weitere Speicherelemente $D'_n, \dots D'_k$. Die Anzahl der Speicherelemente ist bei dem steuerbaren Kompaktor gemäß dem

30

sechsten Kompaktorschaltplan 16 größer als die Anzahl der Eingänge E_1, \dots, E_n .

Die Rückkopplungsleitungen 620 - 622 zweigen jeweils nach dem
5 Speicherelement D'_1 , nach dem Speicherelement D_n und nach dem
letzten Speicherelement D'_r auf die Eingänge des Oder-Gatters
 XOR'_1 ab.

Im Rahmen dieser Patentschrift sind die folgenden Dokumente
10 zitiert:

- [1] L. Voelkel und J. Pliquet: Signaturanalyse, Akademie-
Verlag, Berlin, 1988,
- [2] P.H. Bardell, W.H. Mc Anney and J. Savir: "Built-In Test
15 for VLSI: Pseudorandom Techniques", New York, 1987,
pp. 285-287,
- [3] WO 01/38889 A1: Rajski, Tyzer, "Method and apparatus for
selectively compacting test responses",
- [4] M. Abramovici, M. Breuer and A. Friedman: "Digital Testing
20 and Testable Design", Computer Science Press, 1990,
- [5] S. Lin and D. Costello: "Error Control Coding, Fundamen-
tals and Applications", Prentice-Hall, Englewood Cliffs,
N. J., 1983.

Patentansprüche

1. Elektrische Diagnoseschaltung zum Testen und/oder zur Diagnose einer integrierten Schaltung mit den folgenden

5 Merkmalen:

- mehrere externe Eingänge (E_n) zum Empfang von digitalen Werten,

- mehrere im wesentlichen gleichartige, hintereinander angeordnete Schalteinheiten mit den folgenden Merkma-

10 len:

- jede Schalteinheit ist mit jeweils einem externen Eingang (E_n) zum Empfang eines Testsignals eines integrierten Schaltkreises (14) verbunden,

15 - jede Schalteinheit weist jeweils einen internen Eingang für ein Eingangssignal von einer davor oder dahinter angeordneten Schalteinheit auf,

20 - die Schalteinheiten sind derart steuerbar ausgebildet, dass ein am internen Eingang einer Schalteinheit anliegendes Eingangssignal in Abhängigkeit eines Steuersignals (c_n) der Schalteinheit

25 - entweder unverändert an den internen Eingang der jeweils dahinter angeordneten Schalteinheit oder den Schaltungsausgang weiterleitbar und/oder auf einen internen Eingang einer davor angeordneten Schalteinheit rückkoppelbar ist,

30 - oder mit dem jeweils am externen Eingang (E_n) anliegenden Testsignal verknüpfbar und der aus dieser Verknüpfung ermittelte Verknüpfungswert an den internen Eingang der jeweils dahinter angeordneten Schalteinheit oder den Schaltungsausgang weiterleitbar und/oder an den internen Eingang

einer davor angeordneten Schalteinheit rückkop-
pelbar ist,

- einen Schaltungsausgang (116) zur Ausgabe eines Ausga-
bewerts.

5

2. Elektrische Diagnoseschaltung nach Anspruch 1,
dadurch gekennzeichnet, dass
jede Schalteinheit je ein Gatter, insbesondere ein exklu-
sives Oder-Gatter (XOR_n), je einen Multiplexer (MUX_n) und
je eine Speichereinheit (D_n) aufweist.

10

3. Elektrische Diagnoseschaltung nach Anspruch 2,
dadurch gekennzeichnet, dass
jeder externe Eingang (E_n) auf je einen Eingang des exklu-
siven Oder-Gatters (XOR_n) führt, wobei jeder interne Ein-
gang auf je einen ersten Eingang des dahinter angeordneten
Multiplexers (MUX_n) und parallel dazu auf je einen zweiten
Eingang des zugehörigen exklusiven Oder-Gatters (XOR_n)
führt, wobei jeder Ausgang des exklusiven Oder-Gatters
(XOR_n) auf je einen zweiten Eingang des Multiplexers (MUX_n)
führt und wobei jeder Ausgang des Multiplexers (MUX_n) auf
je einen Eingang desjenigen Speicherelements (D_n) führt,
dessen Ausgang den Ausgang der Schalteinheit darstellt.

15

20

25

4. Elektrische Diagnoseschaltung nach Anspruch 2 oder 3,
dadurch gekennzeichnet, dass
der interne Eingang wenigstens einer Schalteinheit in Ab-
hängigkeit des Steuersignals (c_n) der Schalteinheit mit dem
ersten Eingang des Multiplexers (MUX_n) oder mit dem zweiten
Eingang des exklusiven Oder-Gatters (XOR_n) verbunden ist.

30

5. Elektrische Diagnoseschaltung nach einem der Ansprüche 1 bis 4,
dadurch gekennzeichnet, dass
die elektrische Diagnoseschaltung (10 - 13, 15, 16) eine
mit dem Schaltungsausgang (116) verbundene, steuerbare
Rückkopplungseinheit (115, 214, 314) aufweist, die so ausgebildet ist, dass der Ausgabewert auf wenigstens einen internen Eingang einer Schalteinheit rückkoppelbar ist.
6. Elektrische Diagnoseschaltung nach Anspruch 5,
dadurch gekennzeichnet, dass
die Rückkopplungseinheit (115, 214, 314) als steuerbares Gatter (115, 214, 314), insbesondere als steuerbares Und-Gatter (115, 214, 314) vorliegt und über einen Steuersignaleingang (123, 223, 313) verfügt, wobei das steuerbare Gatter (115, 214, 314) so ausgebildet ist, dass der Ausgabewert auf wenigstens einen internen Eingang einer Schalteinheit rückkoppelbar ist, wenn am Steuersignaleingang (123, 223, 313) ein vorbestimmter Wert anliegt.
7. Elektrische Diagnoseschaltung nach Anspruch 5 oder 6,
dadurch gekennzeichnet, dass
die Schalteinheiten der elektrischen Diagnoseschaltung (10 - 13, 15, 16) jeweils über wenigstens zwei, insbesondere hintereinander geschaltete Speichereinheiten (D_1 , D'_1 ; ...; D_n , D'_n) verfügen, wobei der Ausgang der jeweils letzten Speichereinheit (D'_1 , ..., D'_n) jeder Schalteinheit den Ausgang der betreffenden Schalteinheit bildet.
8. Elektrische Diagnoseschaltung nach einem der Ansprüche 5 bis 7,
dadurch gekennzeichnet, dass

wenigstens eine weitere, nicht zu einer Schalteinheit gehörende Speichereinheit (D_1, \dots, D_n) vorgesehen ist, die an den Ausgang einer Schalteinheit der elektrischen Diagnoseschaltung (10-13, 15, 16) angeschlossen ist

5

9. Elektrische Diagnoseschaltung nach einem der Ansprüche 5 bis 8,

dadurch gekennzeichnet, dass

10 die Rückkopplungseinheit (214, 314) über ein Oder-Gatter ($XOR'_1, 315$), insbesondere über ein exklusives Oder-Gatter ($XOR'_1, 315$) verfügt, wobei ein Eingang des steuerbaren Gatters (214, 314) mit dem Ausgang des Oder-Gatters ($XOR'_1, 315$) verbunden ist und wobei die Eingänge des Oder-Gatters ($XOR'_1, 315$) von wenigstens zwei Rückkopplungsleitungen
15 (220 - 222; 324 - 325; 620 - 622) gebildet werden, die jeweils nach wenigstens einer Schalteinheit und/oder nach jeweils einer Speichereinheit ($D_1, D'_1; \dots; D_n, D'_n; D'_{n+1}; \dots; D'_r$) abzweigen.

20 10. Elektrische Diagnoseschaltung nach einem der Ansprüche 5 bis 9,

dadurch gekennzeichnet, dass

25 die Rückkopplungseinheit (115) ein weiteres steuerbares Gatter (125), insbesondere ein steuerbares Und-Gatter (125), ein steuerbares Oder-Gatter, ein steuerbares NAND-Gatter oder ein steuerbares NOR-Gatter aufweist, wobei die Eingänge des weiteren steuerbaren Gatters (125) von einem weiteren Steuersignaleingang (124) und vom Ausgang der letzten Schalteinheit gebildet sind, und wobei der Ausgang
30 des weiteren steuerbaren Gatters (125) den Schaltungsausgang (116) bildet.

11. Elektrische Diagnoseschaltung nach einem der Ansprüche 5 bis 10,

dadurch gekennzeichnet, dass

5 wenigstens ein weiteres Gatter (XOR'_3), insbesondere ein exklusives Oder-Gatter (XOR'_3) vorgesehen ist, das jeweils zwischen nacheinander angeordneten Schalteinheiten liegt, wobei der am Schaltungsausgang (116) anliegende Ausgabe-
wert auf einen Eingang dieses weiteren Gatters (XOR'_3) ge-
10 führt ist.

12. Elektrische Diagnoseschaltung nach Anspruch 1,

dadurch gekennzeichnet, dass

15 die erste Schalteinheit ein Und-Gatter (44) und eine Speichereinheit (D_1) aufweist und dass alle weiteren Schalteinheiten je ein Gatter ($XOR_2 - XOR_n$), insbesondere ein exklusives Oder-Gatter ($XOR_2 - XOR_n$), je einen Multiplexer ($MUX_2 - MUX_n$) und je eine Speichereinheit ($D_2 - D_n$) aufweisen.

20 13. Elektrische Diagnoseschaltung nach Anspruch 12,

dadurch gekennzeichnet, dass

der erste externe Eingang (E_1) auf den ersten Eingang des Und-Gatters (44) und eine Steuerleitung (416) auf den zweiten Eingang des Und-Gatters (44) führen, wobei der
25 Ausgang des Und-Gatters (44) auf die Speichereinheit (D_1) führt, deren Ausgang den Ausgang der ersten Schalteinheit darstellt und dass jeder weitere externe Eingang ($E_2 - E_n$) jeweils auf einen Eingang des jeweils zugehörigen exklusiven Oder-Gatters ($XOR_2 - XOR_n$) führt, wobei jeder interne
30 Eingang der Schalteinheiten jeweils auf einen ersten Eingang des nachfolgenden Multiplexers ($MUX_2 - MUX_n$) und parallel dazu auf einen zweiten Eingang des jeweiligen ex-

klusiven Oder-Gatters ($XOR_2 - XOR_n$) führt, wobei jeder Ausgang eines exklusiven Oder-Gatters ($XOR_2 - XOR_n$) jeweils auf einen zweiten Eingang des nachfolgenden Multiplexers ($MUX_2 - MUX_n$) führt und wobei jeder Ausgang des Multiplexers ($MUX_2 - MUX_n$) jeweils auf einen Eingang des nachfolgenden Speicherelements ($D_2 - D_n$) führt, dessen Ausgang den Ausgang der Schalteinheit darstellt.

14. Elektrische Diagnoseschaltung nach Anspruch 13,

dadurch gekennzeichnet, dass

für alle Schalteinheiten außer der ersten Schalteinheit der interne Eingang mit dem ersten Eingang des Multiplexers ($MUX_2 - MUX_n$) und mit dem zweiten Eingang des exklusiven Oder-Gatters ($XOR_2 - XOR_n$) verbunden ist.

15. Elektrische Diagnoseschaltung nach einem der Ansprüche 12 bis 14,

dadurch gekennzeichnet, dass

der Ausgang (116) der letzten Schalteinheit mit einem linear rückgekoppelten Schieberegister verbunden ist.

16. Elektrische Diagnoseschaltung nach Anspruch 15,

dadurch gekennzeichnet, dass

das linear rückgekoppelte Schieberegister ein exklusives Oder-Gatter (415), mehrere nacheinander geschaltete Speicherelemente (D'_1, \dots, D'_m) und wenigstens eine nach einem Speicherelement (D'_1, \dots, D'_m) abzweigende Rückkopplungsleitung (427, 428) aufweist, die auf jeweils einen Eingang des exklusiven Oder-Gatters (415) führt/führen, wobei das erste Speicherelement (D'_1) mit dem Ausgang des exklusiven Oder-Gatters (415) verbunden ist.

17. Elektrische Diagnoseschaltung nach einem der Ansprüche 1 bis 16,
dadurch gekennzeichnet, dass
an den Eingängen (E_n) der elektrischen Diagnoseschaltung
(10 - 13, 15, 16) eine Auswahl-schaltung vorgesehen ist,
die zur Steuerung der elektrischen Diagnoseschaltung (10 - 13, 15, 16) bestimmt ist.
18. Elektrische Diagnoseschaltung nach einem der Ansprüche 1 bis 17, die auf dem zu testenden und/oder zu diagnostizierenden integrierten Schaltkreis (14) monolithisch integriert ist.
19. Nadelkarte zum Testen von integrierten Schaltkreisen, wobei die Nadelkarte eine elektrische Diagnoseschaltung nach einem der Ansprüche 1 bis 18 aufweist.
20. Loadboard zur Aufnahme einer Nadelkarte zum Testen von integrierten Schaltkreisen und/oder mit einem oder mehreren Testsockeln zum Testen von integrierten Schaltkreisen und/oder zum Anschluss eines Handlers an einen Tester von integrierten Schaltkreisen, wobei das Loadboard eine elektrische Diagnoseschaltung nach einem der Ansprüche 1 bis 18 aufweist.
21. Tester mit Mess-Sensoren, insbesondere für Ströme und Spannungen und mit Instrumenten zur Erzeugung von digitalen Signalen oder Datenströmen, wobei der Tester eine elektrische Diagnoseschaltung nach einem der Ansprüche 1 bis 18 aufweist.

22. Verfahren zum Testen und/oder zur Diagnose einer integrierten Schaltung mit den folgenden Schritten:

- a) Bereitstellen einer elektrischen Diagnoseschaltung (10-13, 15, 16), die n externe Eingänge (E_n) zum Empfang von Testdaten n paralleler Datenströme einer zu testenden und/oder zu diagnostizierenden integrierten Schaltung (14) aufweist und die in der Lage ist, aus den empfangenen Testdaten (u, t, s, r) Signaturen zu erzeugen, wobei die an den n externen Eingängen (E_n) anliegenden Testdaten (u, t, s, r) selektiv in die Erzeugung der Signaturen miteinbezogen oder nicht miteinbezogen werden,
5
- b) Verbinden der elektrischen Diagnoseschaltung (10 - 13, 15, 16) mit der zu testenden und/oder zu diagnostizierenden integrierten Schaltung (14) derart, dass die n Eingänge (E_n) der elektrischen Diagnoseschaltung (10 - 13, 15, 16) an den n Ausgängen (A_n) der integrierten Schaltung (14) anliegen,
10
- c) Steuern der Schalteinheiten der elektrischen Diagnoseschaltung (10 - 13, 15, 16) derart, dass die jeweils an den externen Eingängen (E_n) anliegenden Testdaten (u, t, s, r) in die Erzeugung der Signaturen miteinbezogen werden,
15
- d) Erfassen und Verarbeiten der Testdaten (u, t, s, r) der zu testenden und/oder zu diagnostizierenden integrierten Schaltung (14) zu mindestens einer Signatur in einer oder in mehreren aufeinanderfolgenden Testdurchläufen durch die elektrische Diagnoseschaltung (10 - 13, 15, 16),
20
- e) Überprüfen der Signatur auf Korrektheit mittels des Testers durch Vergleich der im Test ermittelten Signa-
25
- 30

tur mit der im Tester abgelegten oder durch den Tester ermittelten korrekten Signatur,

f) Falls in Schritt e) wenigstens eine fehlerhafte Signatur ermittelt worden ist, Durchführen der folgenden Schritte:

g) Durchführen von k aufeinanderfolgenden Testdurchläufen, wobei nur jeweils diejenigen an dem Eingang E_i anliegenden Daten der n Datenströme im j -ten Durchlauf in die Kompaktierung in der elektrischen Diagnoseschaltung (10-13, 15, 16) miteinbezogen werden, wenn der binäre Koeffizient $a_{i,j}$ der Gleichungen zur Bestimmung der Kontrollstellen eines linearen separierbaren fehlerkorrigierenden Codes mit n Informationsstellen u_1, \dots, u_n und mit k Kontrollstellen v_1, \dots, v_k gleich Eins ist, wobei die k Kontrollstellen v_1, \dots, v_k durch die k binären Gleichungen

$$v_1 = a_{1,1}u_1 \oplus \dots \oplus a_{1,n}u_n$$

.

.

.

$$v_k = a_{k,1}u_1 \oplus \dots \oplus a_{k,n}u_n$$

aus den n Informationsstellen bestimmt sind.

h) Bestimmen der fehlerhaften Elemente in den n Datenströmen, insbesondere der fehlerhaften Scan-Zellen der diagnostizierten integrierten Schaltung (14) aus den Abweichungen der von der elektrischen Diagnoseschaltung (10-13, 15, 16) an ihrem Ausgang (116, 326) in den k Testdurchläufen ausgegebenen beobachteten Ausgangssignaturen

$$[y_1^b, y_2^b, y_3^b, \dots]$$

von den entsprechenden korrekten Ausgangssignaturen

5 $[y_1^k, y_2^k, y_3^k, \dots].$

23. Verfahren nach Anspruch 22,

dadurch gekennzeichnet, dass

10 es sich bei den Datenströmen um Daten handelt, die aus den
Scanpfaden (SC_n) einer integrierten Schaltung ausgeschoben
werden.

24. Verfahren nach Anspruch 22 oder 23,

dadurch gekennzeichnet, dass

15 es sich bei der in Schritt a) bereitgestellten elektri-
schen Diagnoseschaltung (10 - 13, 15, 16) um eine elektri-
sche Diagnoseschaltung (10 - 13, 15, 16) nach einem der
Ansprüche 1 bis 18 handelt.

20 25. Verfahren nach einem der Ansprüche 22 bis 24,

dadurch gekennzeichnet, dass

25 die in Schritt a) bereitgestellten elektrische Diagnose-
schaltung (10 - 13, 15, 16) auf einer Nadelkarte nach An-
spruch 19, auf einem Loadboard nach Anspruch 20 oder auf
einem Tester nach Anspruch 21 ausgebildet ist.

26. Verfahren nach einem der Ansprüche 22 bis 25,

dadurch gekennzeichnet, dass

30 in Schritt c) die Schalteinheiten mit einem Steuersignal
(c_n) derart angesteuert werden, dass die an den internen
Eingängen der Schalteinheiten anliegenden Eingangssignale
mit den jeweils an den externen Eingängen (E_n) anliegenden

Testdaten (u, t, s, r) verknüpft werden und dass die jeweils aus diesen Verknüpfungen ermittelten Verknüpfungswerte an die internen Eingänge der jeweils dahinter angeordneten Schalteinheiten weitergeleitet werden.

5

27. Verfahren nach einem der Ansprüche 22 bis 26, dadurch gekennzeichnet, dass
in Verfahrensschritt d) alle Steuersignale $c_{i,j}$, $1 \leq i \leq k$,
 $1 \leq j \leq n$ der Multiplexer (MUX_1, \dots, MUX_n) zu Eins gewählt
werden.

10

28. Verfahren nach einem der Ansprüche 22 bis 27, dadurch gekennzeichnet, dass
falls die elektrische Diagnoseschaltung (10 - 13, 15, 16)
eine Rückkopplungseinheit (115; 125; 214; 314) aufweist,
sie vor Schritt c) derart angesteuert wird, dass sie nicht
rückkoppelt.

15

29. Verfahren nach einem der Ansprüche 22 bis 27, dadurch gekennzeichnet, dass
falls die elektrische Diagnoseschaltung (10 - 13, 15, 16)
eine Rückkopplungseinheit (115; 125; 214; 314) aufweist,
sie vor Schritt g) derart angesteuert wird, dass sie nicht
rückkoppelt.

20

25

30. Verfahren nach einem der Ansprüche 22 bis 29, dadurch gekennzeichnet, dass
der Verfahrensschritt g) wie folgt durchgeführt wird:
Durchführen von k aufeinanderfolgenden Test-Durchläufen,
wobei bei jedem Durchlauf eine Kontrollstelle (v_k) nach
folgender Vorschrift aus den Informationsstellen (u_n) be-

30

stimmt wird, solange bis alle Kontrollstellen (v_k) ermittelt worden sind,

$$v_1 = a_{1,1}u_1 \oplus \dots \oplus a_{1,n}u_n$$

5

.

.

.

$$v_k = a_{k,1}u_1 \oplus \dots \oplus a_{k,n}u_n$$

10 wobei die Koeffizienten $a_{i,j}$ mit $1 \leq i \leq k$, $1 \leq j \leq n$ die Werte Null oder Eins annehmen, wobei die Schalteinheiten der elektrischen Diagnoseschaltung (10 - 13, 15, 16) so gesteuert werden, dass die im i -ten Durchlauf am j -ten externen Eingang (E_j) anliegenden Testdaten (u , t , s , r) nur

15 dann einer Verknüpfung in den Schalteinheiten unterzogen werden, wenn das Steuersignal $c_{i,j}$, mit $1 \leq i \leq k$, $1 \leq j \leq n$ den Wert Eins annimmt, wobei das Steuersignal $c_{i,j}$ den Wert Null annimmt, wenn der zugehörige Koeffizient $a_{i,j}$ den Wert Null annimmt oder wenn ein unbestimmter Wert im Datenstrom

20 ausgeblendet werden soll.

31. Verfahren nach einem der Ansprüche 22 bis 29,

dadurch gekennzeichnet, dass

der Wert des an dem ersten Eingang (124) des UND-Gatters

25 (125) anliegenden Steuersignals dann den Wert Null annimmt, wenn ein unbestimmter Wert am Ausgang des vorgeschalteten Speicherelements D_n und damit an seinem zweiten Eingang anliegt.

30 32. Verfahren nach einem der Ansprüche 22 bis 31,

dadurch gekennzeichnet, dass

der Verfahrensschritt g) wie folgt durchgeführt wird:
 Durchführen von k aufeinanderfolgenden Test-Durchläufen,
 wobei die Schalteinheiten der elektrischen Diagnoseschal-
 tung (10-13, 15, 16) entsprechend den binären Koeffizien-
 5 ten $a_{i,j}$ der Gleichungen zur Bestimmung der Kontrollstellen
 v_1, \dots, v_k eines linearen separierbaren fehlerkorrigieren-
 den Codes mit n Informationsstellen u_1, \dots, u_n und mit k
 Kontrollstellen v_1, \dots, v_k so gesteuert werden, dass die
 im i-ten Durchlauf am j-ten externen Eingang (E_j) anliegen-
 10 den Testdaten (u, t, s, r) nur dann einer Verknüpfung in
 den Schalteinheiten der elektrischen Diagnoseschaltung
 (10-13, 15, 16) unterzogen werden, wenn das binäre Steuer-
 signal $c_{i,j}$, mit $1 \leq i \leq k$, $1 \leq j \leq n$ den Wert Eins annimmt,
 wobei das Steuersignal $c_{i,j}$ den Wert Null annimmt, wenn der
 15 zugehörige Koeffizient $a_{i,j}$ in den linearen Gleichungen zur
 Bestimmung der k Kontrollstellen des fehlererkennenden Ko-
 des den Wert Null annimmt oder wenn ein unbestimmter Wert
 im Datenstrom ausgeblendet werden soll, wobei die k Kon-
 trollstellen v_1, \dots, v_k durch die k binären Gleichungen

$$v_1 = a_{1,1}u_1 \oplus \dots \oplus a_{1,n}u_n$$

.

.

.

$$v_k = a_{k,1}u_1 \oplus \dots \oplus a_{k,n}u_n$$

aus den n Informationsstellen bestimmt sind.

33. Verfahren nach einem der Ansprüche 22 bis 32,

dadurch gekennzeichnet, dass

die Multiplexer (MUX_n) der Schalteinheiten durch die Steu-
 ersignale (c_n) gesteuert werden.

34. Verfahren nach einem der Ansprüche 22 bis 33,
dadurch gekennzeichnet, dass
zwischen den Ausgängen (A_n) der integrierten Schaltung (14)
5 und den Eingängen (E_n) der elektrischen Diagnoseschaltung
(10 - 13, 15, 16) eine Auswahl-schaltung vorgesehen wird,
welche die Eingabe in die elektrische Diagnoseschaltung
(10 - 13, 15, 16) steuert.
- 10 35. Verwendung des Verfahrens nach einem der Ansprüche 22
bis 34 zum Test und/oder zur Diagnose von bestückten Lei-
terkarten oder von Platinen.
- 15 36. Computerprogramm zum Ausführen eines Verfahrens zum Testen
eines integrierten Schaltkreises, das so ausgebildet ist,
daß die Verfahrensschritte c) bis h) gemäß einem der An-
sprüche 22 bis 34 ausführbar sind.
- 20 37. Computerprogramm nach Anspruch 36, das auf einem Speicher-
medium, insbesondere in einem Computerspeicher oder in ei-
nem Direktzugriffsspeicher enthalten ist.
- 25 38. Computerprogramm nach Anspruch 36, das auf einem elektri-
schen Trägersignal übertragen wird.
39. Datenträger mit einem Computerprogramm nach Anspruch 36.
- 30 40. Verfahren, bei dem ein Computerprogramm nach Anspruch 36
aus einem elektronischen Datennetz wie bspw. aus dem In-
ternet auf einen an das Datennetz angeschlossenen Computer
heruntergeladen wird.

FIG 1

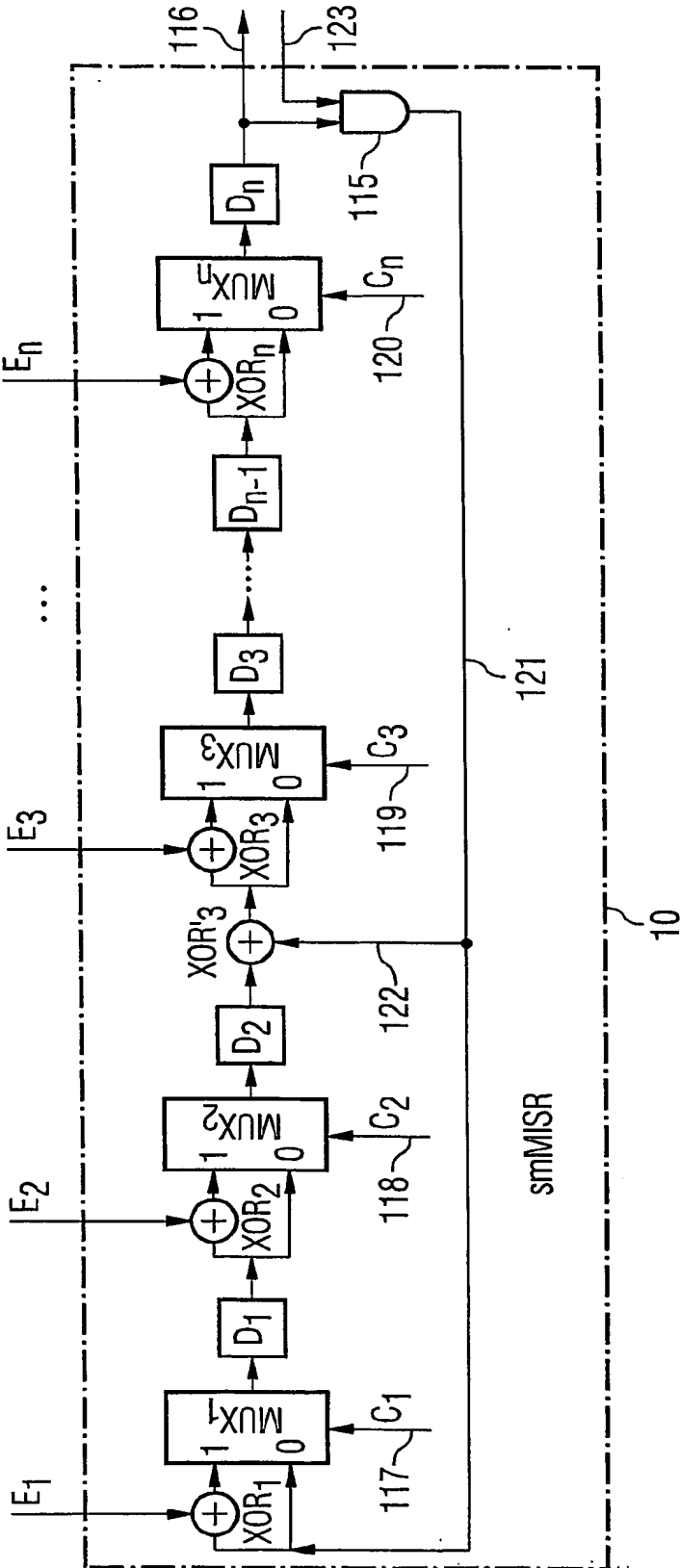


FIG 2

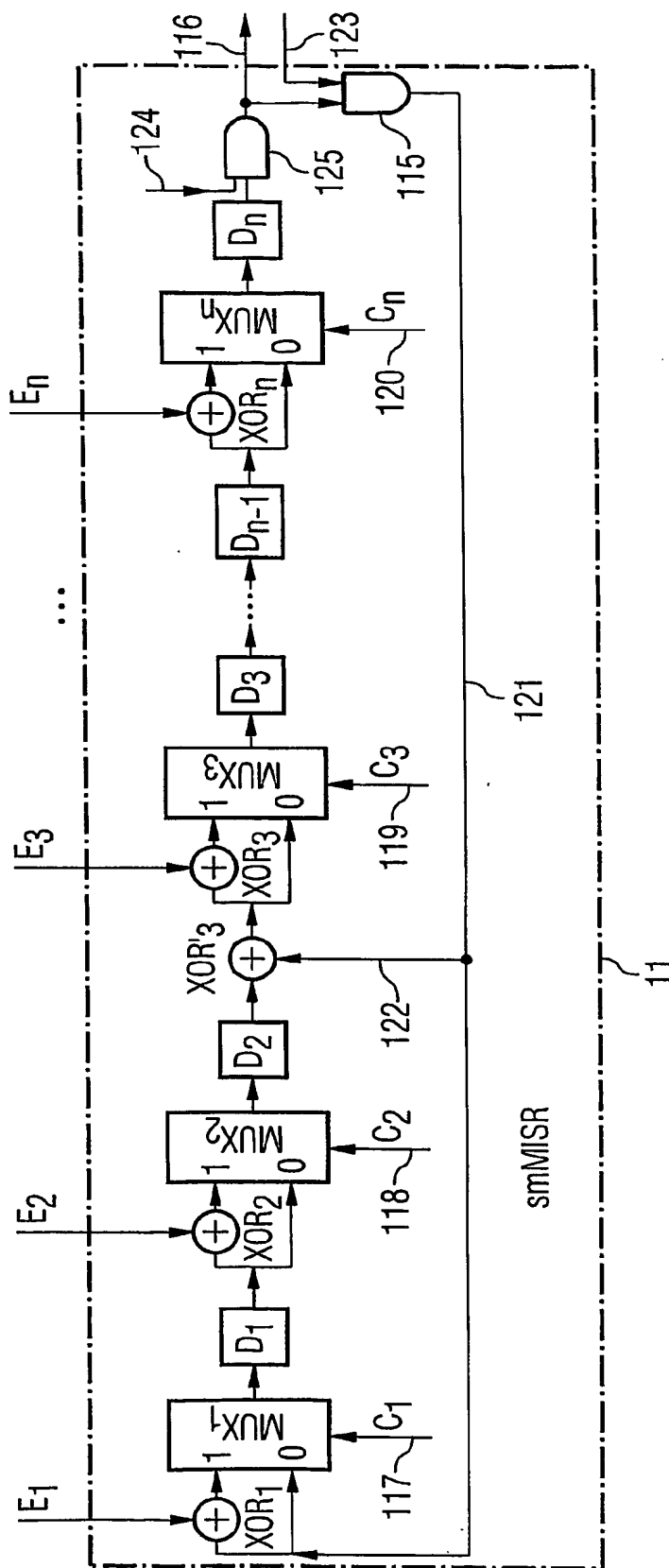


FIG 3

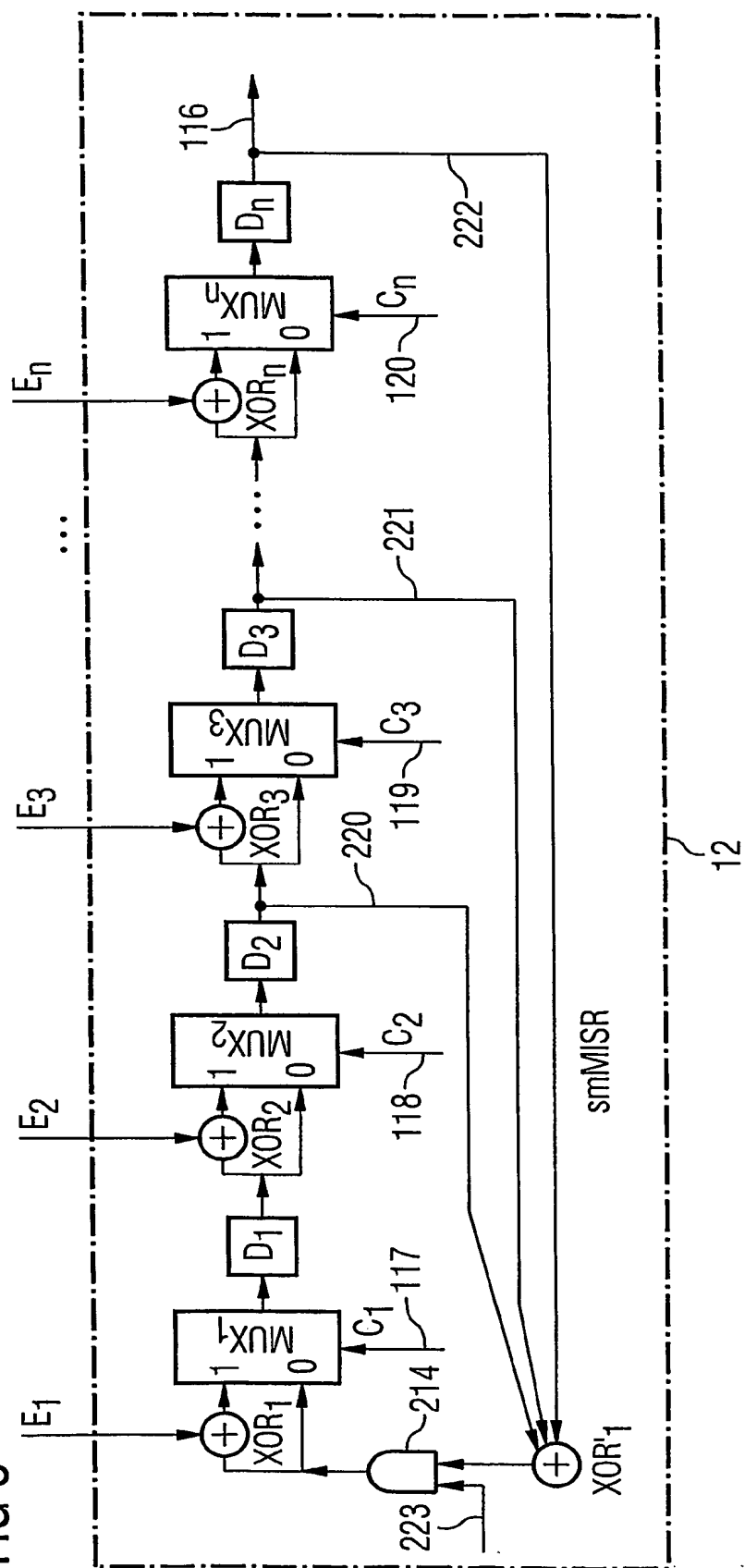


FIG 4

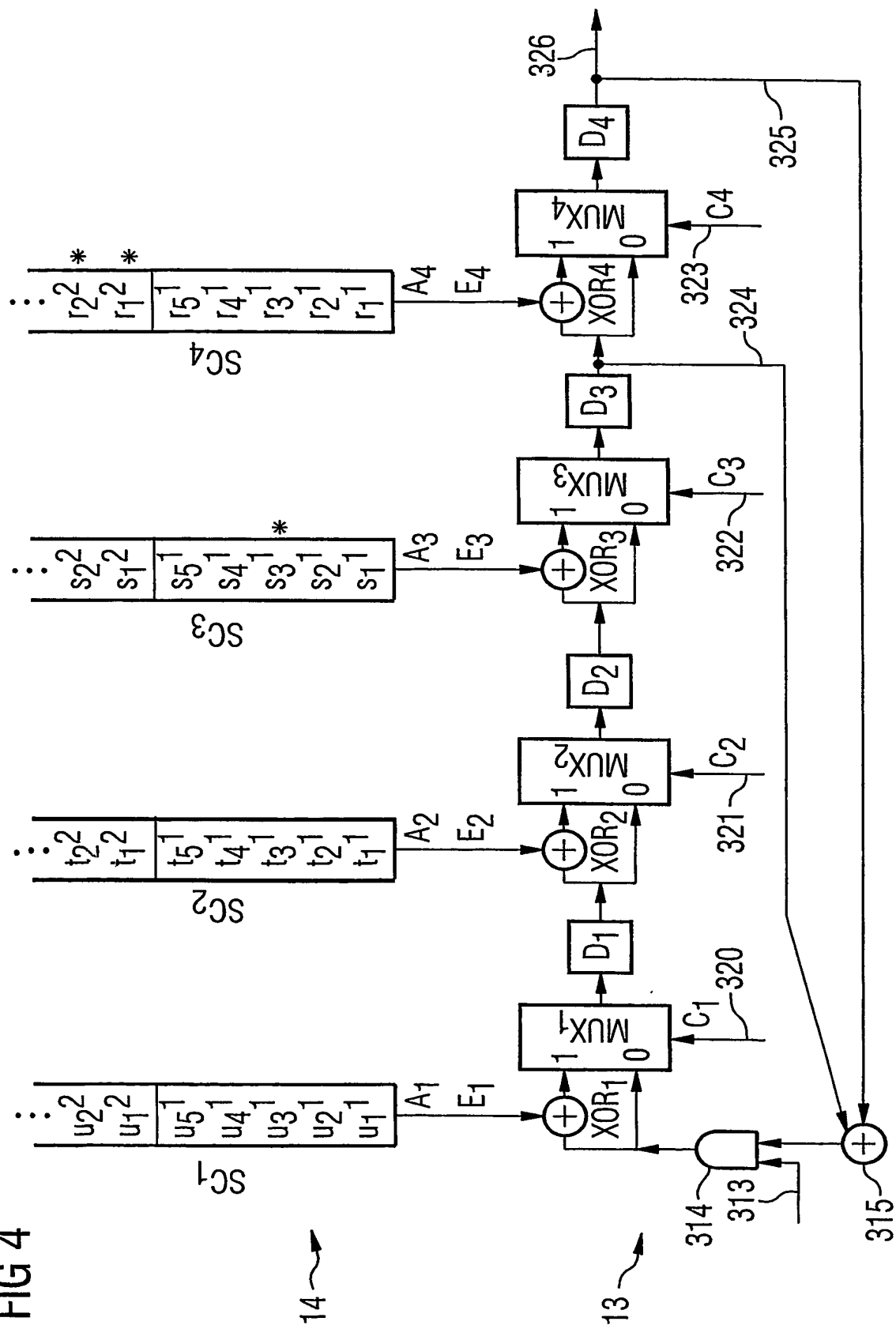


FIG 5

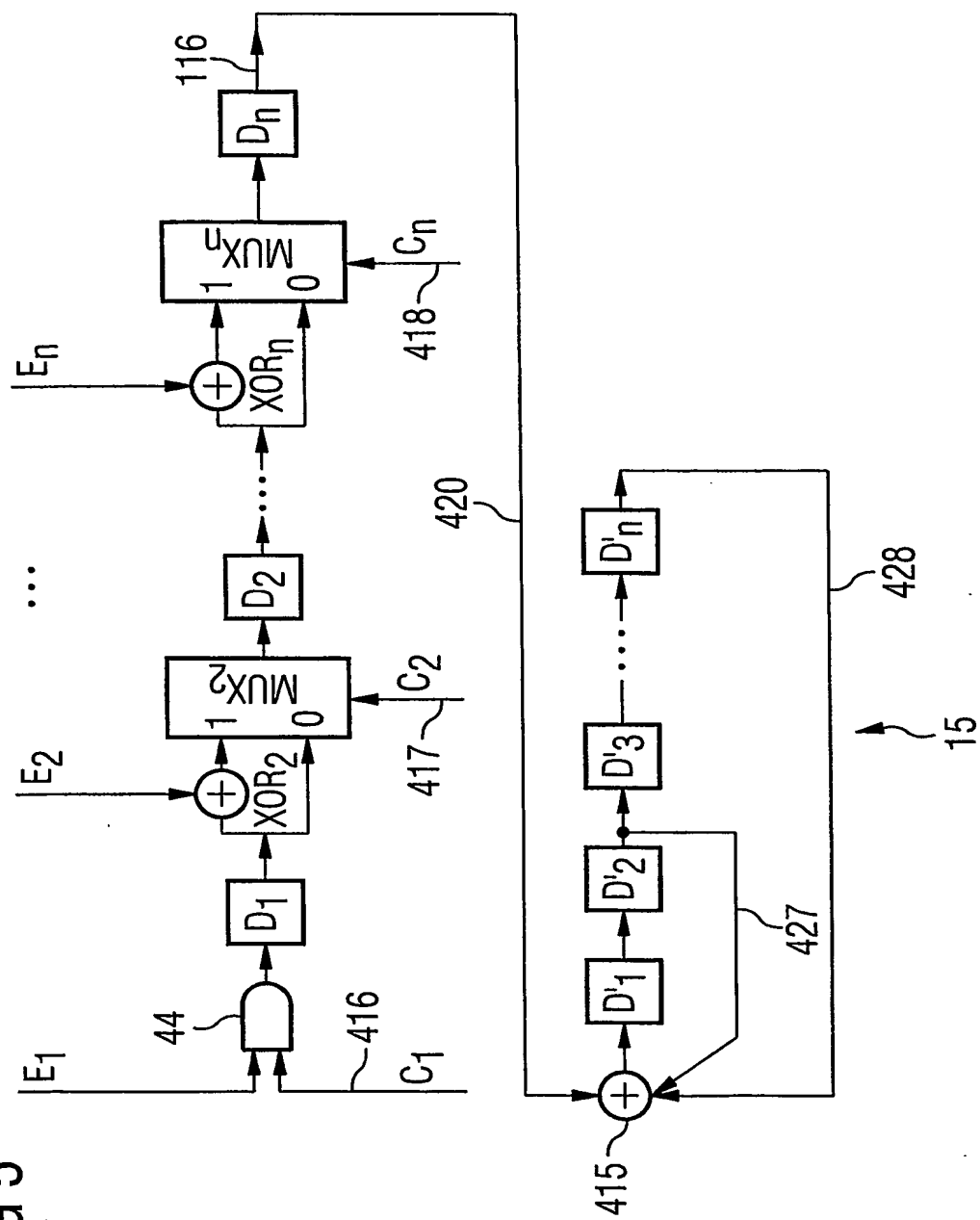
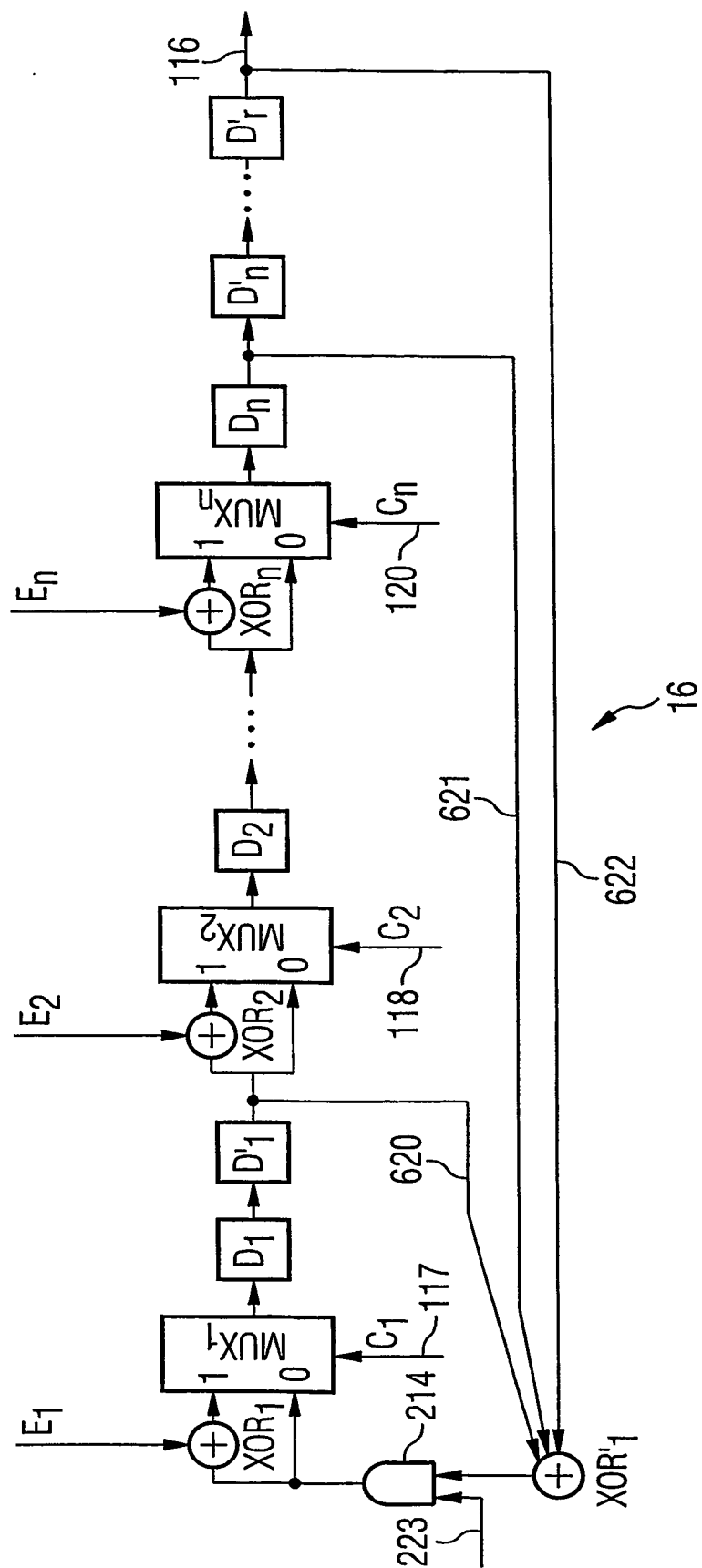


FIG 6



INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE2004/001799

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G06F11/277 G01R31/3185

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 G06F G01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category * | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|------------|---|-----------------------|
| X | US 4 601 034 A (SRIDHAR THIRUMALAI) 15 July 1986 (1986-07-15) column 7, line 17 - column 8, line 12; figure 3 | 1 |
| A | ----- "RECONFIGURABLE SIGNATURE GENERATOR" IBM TECHNICAL DISCLOSURE BULLETIN, IBM CORP. NEW YORK, US, vol. 34, no. 6, 1 November 1991 (1991-11-01), pages 377-380, XP000212785 ISSN: 0018-8689 | 1,2 |
| A | the whole document | 3-40 |
| A | ----- US 5 081 626 A (SCOTT EDWARD W) 14 January 1992 (1992-01-14) column 1, line 58 - column 2, line 18 ----- -/- | 1-40 |

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *B* document member of the same patent family

Date of the actual completion of the international search

9 December 2004

Date of mailing of the international search report

21/12/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Meggyesi, Z

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE2004/001799

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

| Category * | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|------------|--|-----------------------|
| A | <p>WANG L-T ED - INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS: "AUTONOMOUS LINEAR FEEDBACK SHIFT REGISTER WITH ON-LINE FAULT-DETECTION CAPABILITY" INTERNATIONAL SYMPOSIUM ON FAULT TOLERANT COMPUTING SYSTEMS. (FTCS). SANTA MONICA, 22 - 24 JUNE 1982, LONG BEACH, IEEE, US, vol. SYMP. 12, June 1982 (1982-06), pages 311-314, XP000746113 the whole document</p> <p>-----</p> | 1-40 |

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE2004/001799

| Patent document cited in search report | | Publication date | Patent family member(s) | Publication date |
|---|---|---------------------|----------------------------|---------------------|
| US 4601034 | A | 15-07-1986 | JP 1815783 C | 18-01-1994 |
| | | | JP 5027197 B | 20-04-1993 |
| | | | JP 61003400 A | 09-01-1986 |
| <hr/> | | | | |
| US 5081626 | A | 14-01-1992 | NONE | |
| <hr/> | | | | |

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE2004/001799

A. KLASSTFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 G06F11/277 G01R31/3185

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 G06F G01R

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

| Kategorie* | Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile | Betr. Anspruch Nr. |
|------------|--|--------------------|
| X | US 4 601 034 A (SRIDHAR THIRUMALAI) 15. Juli 1986 (1986-07-15) Spalte 7, Zeile 17 - Spalte 8, Zeile 12; Abbildung 3 | 1 |
| A | ----- "RECONFIGURABLE SIGNATURE GENERATOR" IBM TECHNICAL DISCLOSURE BULLETIN, IBM CORP. NEW YORK, US, Bd. 34, Nr. 6, 1. November 1991 (1991-11-01), Seiten 377-380, XP000212785 ISSN: 0018-8689 | 1,2 |
| A | das ganze Dokument | 3-40 |
| A | ----- US 5 081 626 A (SCOTT EDWARD W) 14. Januar 1992 (1992-01-14) Spalte 1, Zeile 58 - Spalte 2, Zeile 18 ----- -/- | 1-40 |

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

9. Dezember 2004

Absenddatum des internationalen Recherchenberichts

21/12/2004

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Meggyesi, Z

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE2004/001799

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

| Kategorie* | Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile | Betr. Anspruch Nr. |
|------------|--|--------------------|
| A | <p>WANG L-T ED - INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS: "AUTONOMOUS LINEAR FEEDBACK SHIFT REGISTER WITH ON-LINE FAULT-DETECTION CAPABILITY"</p> <p>INTERNATIONAL SYMPOSIUM ON FAULT TOLERANT COMPUTING SYSTEMS. (FTCS). SANTA MONICA, 22 - 24 JUNE 1982, LONG BEACH, IEEE, US, Bd. SYMP. 12, Juni 1982 (1982-06), Seiten 311-314, XP000746113</p> <p>das ganze Dokument</p> <p>-----</p> | 1-40 |

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE2004/001799

| Im Recherchenbericht angeführtes Patentdokument | | Datum der Veröffentlichung | Mitglied(er) der Patentfamilie | Datum der Veröffentlichung |
|--|---|-------------------------------|-----------------------------------|-------------------------------|
| US 4601034 | A | 15-07-1986 | JP 1815783 C | 18-01-1994 |
| | | | JP 5027197 B | 20-04-1993 |
| | | | JP 61003400 A | 09-01-1986 |
| <hr/> | | | | |
| US 5081626 | A | 14-01-1992 | KEINE | |
| <hr/> | | | | |